

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-349258

(43)Date of publication of application : 15.12.2000

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 27/04
H01L 21/822

(21)Application number : 11-161077

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 08.06.1999

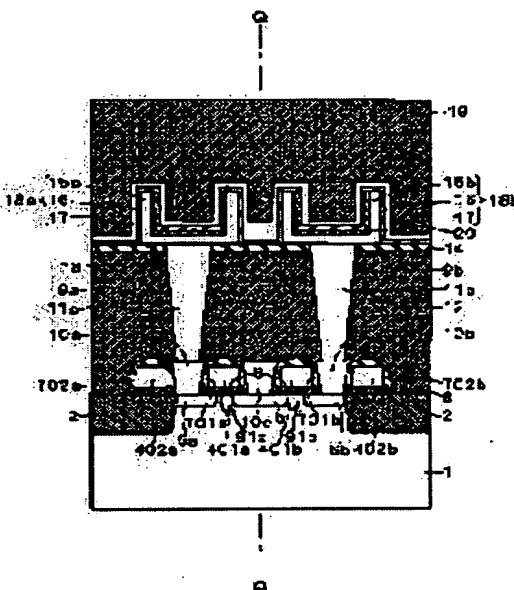
(72)Inventor : KUNIKIYO TATSUYA

(54) MEMORY CELL, CONTROL METHOD AND MANUFACTURE OF THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To lessen a TAT current dependent on a gate end electric field of a cell transistor and to restrain a leakage current leaking from a capacitor by a method wherein a first specific impurity concentration first semiconductor layer is formed on a source/drain region, and a second specific impurity concentration second semiconductor layer is formed on the first semiconductor layer.

SOLUTION: Pads 10a to 10c (doped with phosphorus or arsenic of concentration 5×10^{17} to $1 \times 10^{20}/\text{cm}^3$) are provided between insulating films 701a to 702b, coming into contact with source/drain regions 6a, 6b, and 5. The semiconductor substrate 1, the insulating films 701a to 702b, and the pads 10a to 10c are covered with an interlayer insulating film 12 and a silicon nitride film 14, and trenches 9a and 9b are provided. Storage nodes 11a and 11b (doped with phosphorus or arsenic of concentration $1 \times 10^{20}/\text{cm}^3$) are formed in the trenches 9a and 9b coming into contact with the pads 10a and 10b are coming out of the silicon nitride film 14. Polysilicon recessed lower electrodes 15a and 15b (doped with phosphorus of concentration $4 \times 10^{20}/\text{cm}^3$ or above) are formed on the silicon nitride film 14 coming into contact with the storage nodes 11a and 11b.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-349258
(P2000-349258A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード (参考)
H 0 1 L 27/108		H 0 1 L 27/10	6 2 1 B 5 F 0 3 8
21/8242		27/04	C 5 F 0 8 3
27/04		27/10	6 5 1
21/822			

審査請求 未請求 請求項の数19 O L (全 29 頁)

(21) 出願番号 特願平11-161077
(22) 出願日 平成11年6月8日 (1999. 6. 8)

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72) 発明者 園清 辰也
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(74) 代理人 100089233
弁理士 吉田 茂明 (外2名)

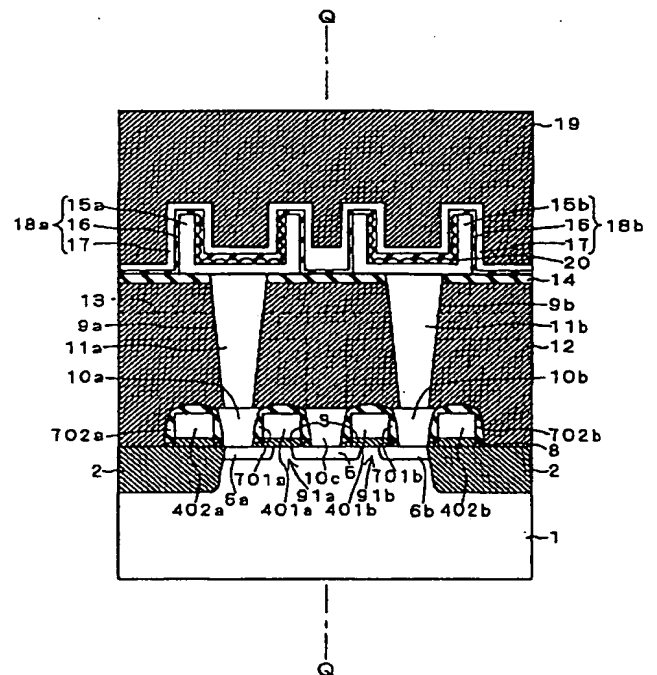
最終頁に続く

(54) 【発明の名称】 メモリセル並びにその制御方法及び製造方法

(57) 【要約】

【課題】 キャパシタからのリーク電流を低減し、リフレッシュ動作同士の間隔、即ちリフレッシュポーズ時間が長いDRAMのメモリセルを提供する。

【解決手段】 セルトランジスタとして機能するトランジスタ91aのソース/ドレイン領域6aが、パッド10a及びストレージノード11aを介してキャパシタ18aの下部電極15に接続されている。ポーズ時において下部電極15は空乏化しない一方、パッド10a及びストレージノード11aの少なくともいずれか一方が空乏化することにより、そこでの電圧降下を増大させる。かかる電圧降下により、トランジスタ91aのゲート端電界が緩和され、TATによるリーク電流が低減される。



1

【特許請求の範囲】

【請求項 1】 一対のソース／ドレイン領域とゲート電極とを有するセルトランジスタと、

一の前記ソース／ドレイン領域上に設けられ、約 $5 \times 10^{17} / \text{cm}^3$ 以上約 $1 \times 10^{20} / \text{cm}^3$ 以下の第 1 の不純物濃度を有する第 1 半導体層と、

前記第 1 半導体層上に設けられ、約 $4 \times 10^{20} / \text{cm}^3$

以上の第 2 の不純物濃度を有する第 2 半導体層と、

前記第 2 半導体層上に設けられた誘電体層と、

前記誘電体層及び前記前記第 2 半導体層と共にキャパシタを構成し、前記第 2 半導体層を対向電極とする電極とを備えるメモリセル。

【請求項 2】 前記キャパシタと前記セルトランジスタとを隔絶する層間絶縁膜を更に備え、

前記第 1 半導体層は、前記層間絶縁膜中を貫通するストレージノードと、前記ストレージノードと前記一のソース／ドレイン領域との間に介在するパッドとを有する、請求項 1 記載のメモリセル。

【請求項 3】 前記第 1 半導体層は、前記キャパシタがリフレッシュされることなく電荷を保持するポーズ期間において空乏化する、請求項 1 又は 2 記載のメモリセル。

【請求項 4】 一対のソース／ドレイン領域とゲート電極とを有するセルトランジスタと、

一の前記ソース／ドレイン領域上に設けられ、内部に空洞を有する導電体と、

前記導電体上に形成されたキャパシタとを備えるメモリセル。

【請求項 5】 一対のソース／ドレイン領域とゲート電極とを有するセルトランジスタと、

前記セルトランジスタ上に形成された第 1 層間絶縁膜と、

前記第 1 層間絶縁膜を貫通し、一の前記ソース／ドレイン領域上に設けられた第 1 導電体と、

前記第 1 層間絶縁膜によって前記セルトランジスタと隔絶された第 2 層間絶縁膜と、

前記第 2 層間絶縁膜を貫通し、前記第 1 導電体上に形成された第 2 導電体と、

前記第 2 導電体を介して前記第 1 導電体に接続されたキャパシタとを備えるメモリセル。

【請求項 6】 半導体基板の上面において設けられた一対のソース／ドレイン領域と、前記半導体基板に対して第 1 絶縁膜を介して対峙するゲート電極とを有する第 1 トランジスタと、

前記第 1 トランジスタに対して層間絶縁膜を介して前記半導体基板の厚さ方向において対峙し、前記第 1 トランジスタの一の前記ソース／ドレイン領域に接続されたキャパシタと、

前記層間絶縁膜中において、前記第 1 トランジスタの前記一のソース／ドレイン領域と前記キャパシタとの間に

2

介在し、前記半導体基板の厚さ方向において積層された一対のソース／ドレイン領域を有する第 2 トランジスタとを備えるメモリセル。

【請求項 7】 前記第 1 トランジスタと前記第 2 トランジスタとは同一導電型であり、

前記第 1 トランジスタの前記ゲート電極は第 2 絶縁膜によりその側壁を覆われ、前記第 2 トランジスタの前記一のソース／ドレイン領域は前記第 2 絶縁膜を介してそれぞれ前記第 1 トランジスタの前記ゲート電極に隣接する、請求項 6 記載のメモリセル。

【請求項 8】 前記第 2 トランジスタは、前記第 1 トランジスタの上方に設けられたゲート電極と、前記ゲート電極の側壁を覆う第 2 絶縁膜とを更に有し、前記第 2 トランジスタの前記一のソース／ドレイン領域は、前記第 2 絶縁膜を介してそれぞれ前記第 2 トランジスタの前記ゲート電極に隣接する、請求項 6 記載のメモリセル。

【請求項 9】 請求項 8 記載のメモリセルの制御方法であって、

前記第 1 トランジスタの導通に先立って前記第 2 トランジスタを導通させる、メモリセルの制御方法。

【請求項 10】 前記第 2 トランジスタの一の前記ソース／ドレイン領域と前記キャパシタとを接続する半導体層を更に備え、

前記第 2 トランジスタは前記一のソース／ドレイン領域のそれぞれに隣接する第 2 絶縁膜を更に有し、

前記第 2 絶縁膜と接する前記半導体層の表面は、窒素及び水素の少なくともいずれか一方が導入されている、請求項 6 記載のメモリセル。

【請求項 11】 前記第 2 トランジスタの前記一のソース／ドレイン領域と接する前記第 2 絶縁膜の表面は酸素が導入されている、請求項 7 又は 10 記載のメモリセル。

【請求項 12】 (a) 半導体基板の上面に一対のソース／ドレイン領域を有するセルトランジスタを形成する工程と、

(b) 一の前記ソース／ドレイン領域を露出するトレンチを有する層間絶縁膜を形成する工程と、

(c) 前記トレンチの内壁に酸化半導体膜を形成する工程と、

(d) 前記酸化半導体膜を介して前記トレンチを埋め込む埋め込み体を形成する工程と、

(e) 前記埋め込み体を介して前記一のソース／ドレイン領域に接続されるキャパシタを形成する工程と、を備える、メモリセルの製造方法。

【請求項 13】 前記工程 (c) は (c-1) 前記トレンチに対して半導体膜を形成する工程と、

(c-2) 前記半導体膜を酸化して前記酸化半導体膜を得る工程と、

(c-3) 前記酸化半導体膜を選択的に除去して、前記

50

一のソース／ドレイン領域を露出させ、前記トレンチの内壁に前記酸化半導体膜を残置する工程とを有する、請求項 12 記載のメモリセルの製造方法。

【請求項 14】 前記工程 (d) は (d-1) 前記一のソース／ドレイン領域上に、縦型トランジスタを構成する複数の半導体層を積層する工程と、

(d-2) 前記縦型トランジスタと前記キャパシタとを接続し、前記縦型トランジスタと共に前記埋め込み体を構成する接続体を形成する工程とを有する、請求項 13 記載のメモリセルの製造方法。

【請求項 15】 前記工程 (d-2) は、

(d-2-1) 前記縦型トランジスタの上方において前記トレンチを半導体材料で埋める工程と、

(d-2-2) 前記半導体材料に窒素及び水素の少なくともいずれか一方を導入して前記接続体を得る工程とを含む、請求項 14 記載のメモリセルの製造方法。

【請求項 16】 (a) 半導体基板の上面に一对のソース／ドレイン領域と、前記半導体基板に対峙するゲート電極を有する第 1 トランジスタを形成する工程と、

(b) 前記ゲート電極の側壁を覆う絶縁膜を形成する工程と、

(c) 一の前記ソース／ドレイン領域上にそれぞれが前記絶縁膜に接触し、前記半導体基板の厚さ方向において積層された一对のソース／ドレイン領域を有する第 2 トランジスタを形成する工程と、

(d) 前記第 2 トランジスタを介して前記第 1 トランジスタの前記一のソース／ドレイン領域に接続されたキャパシタを形成する工程と、を備えるメモリセルの製造方法。

【請求項 17】 前記工程 (c) は (c-1) 一の前記ソース／ドレイン領域上に前記絶縁膜に接触する半導体層を形成する工程と、

(c-2) 前記半導体層にイオンを注入して、前記第 2 トランジスタの前記一对のソース／ドレインに挟まれたチャネル領域を形成する工程とを有する、請求項 16 記載のメモリセルの製造方法。

【請求項 18】 前記工程 (c) は (c-1) 一の前記ソース／ドレイン領域上に、導入される不純物ガスを切り替える CVD によって、前記第 2 トランジスタの一对のソース／ドレイン領域及びこれに挟まれるチャネル領域を形成する工程を有する、請求項 16 記載のメモリセルの製造方法。

【請求項 19】 前記第 1 トランジスタは隣接して一对設けられ、

一对の前記第 1 トランジスタはそれぞれの他の前記ソース／ドレイン領域が共有され、またそれぞれの前記ゲート電極は並んで配置され、

前記工程 (c) は (c-2) 前記工程 (c-1) に先立ち、前記他のソース／ドレイン領域上で前記一对の第 1 トランジスタのそれぞれの前記ゲート電極同士の間を充

填物で充填する工程と、

(c-3) 前記工程 (c-1) の後に、前記充填物を除去する工程とを更に有する、請求項 18 記載のメモリセルの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、DRAM (Dynamic Random Access Memory) のメモリセルに関し、特にキャパシタとこれに接続されるトランジスタとが基板に対して積層されている構造のメモリセルに関する。

【0002】

【従来の技術】DRAMは、多数の記憶情報を蓄積するための記憶領域となるメモリセルアレイと、このメモリセルアレイに対して所定の入出力動作を行わせるための周辺回路部とから形成される。更にメモリセルアレイは、最小記憶単位に相当するメモリセルが複数個配列されて構成されている。メモリセルは基本的には一つのキャパシタと、これに接続される一つのMOS (Metal Oxide Semiconductor) トランジスタ (セルトランジスタ) とから構成される。そしてキャパシタに所定の電荷が蓄積されているか否かがデータ "0"、"1" (あるいはその逆) に対応し、記憶情報の処理に供される。

【0003】図50は典型的なDRAMのメモリセル200Aの等価回路を示す回路図である。メモリセル200Aはキャパシタ201とセルトランジスタ202とで構成されている。キャパシタ201は、その一端に固定電位、例えば接地電位が供給され、その他端はセルトランジスタ202を介してビット線203に接続される。また、セルトランジスタ202のゲート電極はワード線204に接続され、ビット線203が接続されるセンスアンプ205も併記されている。セルトランジスタ202のビット線203とキャパシタ201とを接続する一对の電極は、情報の読み出しもしくは書き込みによって、キャリアの供給源となったり (ソース)、あるいはキャリアを外に取り出したり (ドレイン) する機能を有するので、以下ではソース／ドレインという表現を採用する。

【0004】かかるメモリセル200Aにおいて、トランジスタ202が形成される基板と、キャパシタ201との間にリーク電流が流れる。かかるリーク電流はキャパシタ201の電荷を変動させ、記憶情報の誤りを招来する。かかる電荷の変動を補償するため、DRAMのメモリセルではリフレッシュ動作が行われる。

【0005】リフレッシュ動作に際しては、センスアンプ205がキャパシタ201に書き込まれている情報を読み出す。そしてキャパシタ201中に電荷が注入されていると判断した場合は新たに電荷を補充し、電荷が注入されていないと判断した場合はキャパシタ201中の電荷が無くなるような書き込み動作が行われる。

【0006】

5

【発明が解決しようとする課題】しかしながら、このリフレッシュ動作はメモリセルの数が増えるにつれて、チップの消費電力を増大させる。またキャパシタからのリーク電流が大きいとリフレッシュ動作を頻繁に行う必要があり、例えば従来のDRAMでは、上記のリフレッシュ動作を1msec～数百msec程度の比較的短い周期で、全てのメモリセル中に蓄えられた情報に対して行わなければならない。

【0007】リフレッシュ動作を行っている間ではメモリセルに蓄えられた情報を読み出すことができないこと
10に鑑みれば、頻繁なリフレッシュ動作は動作時間に対するメモリに蓄積された情報の使用効率を低下させる。

【0008】本発明は以上の問題点を鑑みてなされたもので、キャパシタからのリーク電流を低減し、リフレッシュ動作同士の間隔、即ちリフレッシュポーズ時間が長いDRAMのメモリセルを提供することを目的としている。

【0009】

【課題を解決するための手段】この発明のうち請求項1にかかるものは、一対のソース／ドレイン領域とゲート
20電極とを有するセルトランジスタと、一の前記ソース／ドレイン領域上に設けられ、第1の不純物濃度を有する第1半導体層と、前記第1半導体層上に設けられ、第2の不純物濃度を有する第2半導体層と、前記第2半導体層上に設けられた誘電体層と、前記誘電体層及び前記前記第2半導体層と共にキャパシタを構成し、前記第2半導体層を対向電極とする電極とを備えるメモリセルであって、前記第1の不純物濃度は約 $5 \times 10^{17} / \text{cm}^3$ 以上約 $1 \times 10^{20} / \text{cm}^3$ 以下に、前記第2の不純物濃度は約 $4 \times 10^{20} / \text{cm}^3$ 以上に、それぞれ設定される。
30

【0010】この発明のうち請求項2にかかるものは、請求項1記載のメモリセルであって、前記キャパシタと前記セルトランジスタとを隔絶する層間絶縁膜を更に備え、前記第1半導体層は、前記層間絶縁膜中を貫通するストレージノードと、前記ストレージノードと前記一のソース／ドレイン領域との間に介在するパッドとを有する。

【0011】この発明のうち請求項3にかかるものは、請求項1又は2記載のメモリセルであって、前記第1半導体層は、前記キャパシタがリフレッシュされることなく電荷を保持するポーズ期間において空乏化する。
40

【0012】この発明のうち請求項4にかかるものは、一対のソース／ドレイン領域とゲート電極とを有するセルトランジスタと、一の前記ソース／ドレイン領域上に設けられ、内部に空洞を有する導電体と、前記導電体上に形成されたキャパシタとを備えるメモリセルである。

【0013】この発明のうち請求項5にかかるものは、一対のソース／ドレイン領域とゲート電極とを有するセルトランジスタと、前記セルトランジスタ上に形成された第1層間絶縁膜と、前記第1層間絶縁膜を貫通し、一
50

6

の前記ソース／ドレイン領域上に設けられた第1導電体と、前記第1層間絶縁膜によって前記セルトランジスタと隔絶された第2層間絶縁膜と、前記第2層間絶縁膜を貫通し、前記第1導電体上に形成された第2導電体と、前記第2導電体を介して前記第1導電体に接続されたキャパシタとを備えるメモリセルである。

【0014】この発明のうち請求項6にかかるものは、半導体基板の上面において設けられた一対のソース／ドレイン領域と、前記半導体基板に対して第1絶縁膜を介して対峙するゲート電極とを有する第1トランジスタと、前記第1トランジスタに対して層間絶縁膜を介して前記半導体基板の厚さ方向において対峙し、前記第1トランジスタの一の前記ソース／ドレイン領域に接続されたキャパシタと、前記層間絶縁膜中において、前記第1トランジスタの前記一のソース／ドレイン領域と前記キャパシタとの間に介在し、前記半導体基板の厚さ方向において積層された一対のソース／ドレイン領域を有する第2トランジスタとを備えるメモリセルである。

【0015】この発明のうち請求項7にかかるものは、請求項6記載のメモリセルであって、前記第1トランジスタと前記第2トランジスタとは同一導電型であり、前記第1トランジスタの前記ゲート電極は第2絶縁膜によりその側壁を覆われ、前記第2トランジスタの前記一対のソース／ドレイン領域は前記第2絶縁膜を介してそれぞれ前記第1トランジスタの前記ゲート電極に隣接する。

【0016】この発明のうち請求項8にかかるものは、請求項6記載のメモリセルであって、前記第2トランジスタは、前記第1トランジスタの上方に設けられたゲート電極と、前記ゲート電極の側壁を覆う第2絶縁膜とを更に有し、前記第2トランジスタの前記一対のソース／ドレイン領域は、前記第2絶縁膜を介してそれぞれ前記第2トランジスタの前記ゲート電極に隣接する。

【0017】この発明のうち請求項9にかかるものは、請求項8記載のメモリセルの制御方法であって、前記第1トランジスタの導通に先立って前記第2トランジスタを導通させる。

【0018】この発明のうち請求項10にかかるものは、請求項6記載のメモリセルであって、前記第2トランジスタの一の前記ソース／ドレイン領域と前記キャパシタとを接続する半導体層を更に備え、前記第2トランジスタは前記一対のソース／ドレイン領域のそれぞれに隣接する第2絶縁膜を更に有し、前記第2絶縁膜と接する前記半導体層の表面は、窒素及び水素の少なくともいずれか一方が導入されている。

【0019】この発明のうち請求項11にかかるものは、請求項7又は10記載のメモリセルであって、前記第2トランジスタの前記一対のソース／ドレイン領域と接する前記第2絶縁膜の表面は酸素が導入されている。

【0020】この発明のうち請求項12にかかるもの

7

は、(a) 半導体基板の上面に一对のソース／ドレイン領域を有するセルトランジスタを形成する工程と、

(b) 一の前記ソース／ドレイン領域を露出するトレンチを有する層間絶縁膜を形成する工程と、(c) 前記トレンチの内壁に酸化半導体膜を形成する工程と、(d) 前記酸化半導体膜を介して前記トレンチを埋め込む埋め込み体を形成する工程と、(e) 前記埋め込み体を介して前記一のソース／ドレイン領域に接続されるキャパシタを形成する工程とを備えるメモリセルの製造方法である。

【0021】この発明のうち請求項13にかかるものは、請求項12記載のメモリセルの製造方法であって、前記工程(c)は(c-1)前記トレンチに対して半導体膜を形成する工程と、(c-2)前記半導体膜を酸化して前記酸化半導体膜を得る工程と、(c-3)前記酸化半導体膜を選択的に除去して、前記一のソース／ドレイン領域を露出させ、前記トレンチの内壁に前記酸化半導体膜を残置する工程とを有する。

【0022】この発明のうち請求項14にかかるものは、請求項13記載のメモリセルの製造方法であって、前記工程(d)は(d-1)前記一のソース／ドレイン領域上に、縦型トランジスタを構成する複数の半導体層を積層する工程と、(d-2)前記縦型トランジスタと前記キャパシタとを接続し、前記縦型トランジスタと共に前記埋め込み体を構成する接続体を形成する工程とを有する。

【0023】この発明のうち請求項15にかかるものは、請求項14記載のメモリセルの製造方法であって、前記工程(d-2)は、(d-2-1)前記縦型トランジスタの上方において前記トレンチを半導体材料で埋める工程と、(d-2-2)前記半導体材料に窒素及び水素の少なくともいずれか一方を導入して前記接続体を得る工程とを含む。

【0024】この発明のうち請求項16にかかるものは、(a)半導体基板の上面に一对のソース／ドレイン領域と、前記半導体基板に対峙するゲート電極を有する第1トランジスタを形成する工程と、(b)前記ゲート電極の側壁を覆う絶縁膜を形成する工程と、(c)一の前記ソース／ドレイン領域上にそれぞれが前記絶縁膜に接触し、前記半導体基板の厚さ方向において積層された一对のソース／ドレイン領域を有する第2トランジスタを形成する工程と、(d)前記第2トランジスタを介して前記第1トランジスタの前記一のソース／ドレイン領域に接続されたキャパシタを形成する工程と、を備えるメモリセルの製造方法。

【0025】この発明のうち請求項17にかかるものは、請求項16記載のメモリセルの製造方法であって、前記工程(c)は(c-1)一の前記ソース／ドレイン領域上に前記絶縁膜に接触する半導体層を形成する工程と、(c-2)前記半導体層にイオンを注入して、前記

8

第2トランジスタの前記一对のソース／ドレインに挟まれたチャネル領域を形成する工程とを有する。

【0026】この発明のうち請求項18にかかるものは、請求項16記載のメモリセルの製造方法であって、前記工程(c)は(c-1)一の前記ソース／ドレイン領域上に、導入される不純物ガスを切り替えるCVDによって、前記第2トランジスタの一对のソース／ドレイン領域及びこれに挟まれるチャネル領域を形成する工程を有する。

10 【0027】この発明のうち請求項19にかかるものは、請求項18記載のメモリセルの製造方法であって、前記第1トランジスタは隣接して一对設けられ、一对の前記第1トランジスタはそれぞれの他の前記ソース／ドレイン領域が共有され、またそれぞれの前記ゲート電極は並んで配置され、前記工程(c)は(c-2)前記工程(c-1)に先立ち、前記他のソース／ドレイン領域上で前記一对の第1トランジスタのそれぞれの前記ゲート電極同士の間を充填物で充填する工程と、(c-3)前記工程(c-1)の後に、前記充填物を除去する工程とを更に有する。

20 【0028】

【発明の実施の形態】A. 本発明が適用されるメモリセルの形態：本発明の実施の形態について詳細に述べる前に、本発明が適用されるメモリセルの形態の一例について説明する。

【0029】図51は一对のメモリセルの構成の断面を示す模式図である。ここで示される一对のメモリセルは同一のビット線13に共通に接続され、ビット線13は断面から紙面奥側に位置するので破線で示されている。

30 【0030】少なくとも表面がp型の半導体基板1の主面内において、メモリセルの各々に対応して設けられるn型のMOSトランジスタ91a、91bと、これを周囲と電気的に分離絶縁するSTI(Shallow Trench Isolation)を形成している素子分離絶縁膜2とが形成されている。

【0031】MOSトランジスタ91aは、ゲート絶縁膜3と、その上に設けられ図50におけるワード線204の機能を果たすゲート電極401aとを有している。同様にMOSトランジスタ91bは、ゲート絶縁膜3とゲート電極401bとを有している。MOSトランジスタ91aは一对のソース／ドレイン領域5、6aを有しており、MOSトランジスタ91bは一对のソース／ドレイン領域5、6bを有している。つまり同一のビット線13に接続されるMOSトランジスタ91a、91bは、ソース／ドレイン領域5を共有している。

40 【0032】図中、ゲート電極401a、401b以外にも、素子分離絶縁膜2上には図示されないメモリセルのワード線たるゲート電極402a、402bが敷設されている。ゲート電極402a、402b、401a、401bは、それぞれ絶縁膜702a、702b、70

50

9

1a, 701bで側壁を含めて覆われている。絶縁膜701a, 701b, 702a, 702bと半導体基板1(ソース/ドレイン領域5, 6a, 6b及び素子分離絶縁膜2を含む)の間にはいずれも絶縁膜8が設けられている。

【0033】絶縁膜702a, 701aの間にはパッド10aが、絶縁膜702b, 701bの間にはパッド10bが、絶縁膜701a, 701bの間にはパッド10cが、それぞれ設けられている。パッド10a, 10b, 10cは、それぞれソース/ドレイン領域6a, 6b, 5に接触している。パッド10a~10cは、燐や砒素等のn型不純物を含むポリシリコンで形成され、その抵抗を下げるために、通常 $5 \times 10^{20}/\text{cm}^3$ 以上の濃度の燐や砒素がドーピングされている。

【0034】半導体基板1、絶縁膜701a, 701b, 702a, 702b、パッド10a~10cは層間絶縁膜12によって、更にその上をシリコン窒化膜14で覆われており、層間絶縁膜12、シリコン窒化膜14にはパッド10a, 10bにそれぞれ到達するトレンチ9a, 9bが貫通して開けられている。そしてトレンチ9a, 9b内にはそれぞれパッド10a, 10bに接触し、かつシリコン窒化膜14から露出するストレージノード11a, 11bが形成されている。また、断面には現れないが、ビット線13が層間絶縁膜12中に敷設され、パッド10cと接続されている。ストレージノード11a, 11bは、燐や砒素等のn型不純物を含むポリシリコンで形成され、その抵抗を下げるために、通常 $1 \times 10^{20}/\text{cm}^3$ 以上の濃度の燐や砒素がドーピングされている。

【0035】シリコン窒化膜14上には凹型の下部電極15a, 15bがそれぞれストレージノード11a, 11bに接触して設けられている。下部電極15a, 15bはポリシリコンで形成され、空乏化しないように通常は $4 \times 10^{20}/\text{cm}^3$ 以上の濃度の燐がドーピングされている。更に、表面積を大きくするために粗面化ポリシリコン20によって凹凸が形成される。

【0036】シリコン窒化膜14、下部電極15a, 15bはキャパシタ誘電体膜16で覆われており、キャパシタ誘電体膜16は更にセルプレート17で覆われている。下部電極15a、キャパシタ誘電体膜16、セルプレート17はキャパシタ18aを、下部電極15b、キャパシタ誘電体膜16、セルプレート17はキャパシタ18bを、それぞれ形成している。セルプレート17はn型不純物を含むポリシリコンやアモルファスシリコンで形成され、キャパシタ18a, 18bの上部電極として機能する。キャパシタ18a, 18bは層間絶縁膜19によって覆われている。

【0037】以上のように、図示された一对のメモリセルは、ビット線13とソース/ドレイン領域5とが接続される位置、即ち図中の仮想線QQに対して、ほぼ左右

10

対称に形成される。従って、以下の説明では簡単のために、主として図面上仮想線QQの左側の構成について説明を行う。但し、仮想線QQの右側の構成についても同様の説明が当てはまる。更に符号の末尾のa, bを省略して説明を行う場合がある。つまり末尾にa, bのない符号を用いてなされた説明は、同一符号の末尾にa, bを付加した符号が存在する場合、その符号についても当てはまる。

【0038】記憶情報としてキャパシタ18に蓄積された電荷は、ソース/ドレイン領域領域5, 6と半導体基板1との間のnp接合部分、あるいはキャパシタ誘電体膜16などにおけるリーク電流などにより、次第に放電してしまう。そこでDRAMで記憶を保持し続けるために適時キャパシタ18へ電荷を注入する、リフレッシュ動作が必要となる。

【0039】例えば半導体基板1の電位が-1Vに設定されており、ポーズ時にはゲート電極401の電位が0Vに設定される。キャパシタ18に正孔が蓄積されている状態ではキャパシタ18の下部電極15の電位は2Vで、ビット線13の電位が1Vである。しかしキャパシタ18に蓄えられた正孔がリーク電流として半導体基板1へ流れるにつれてキャパシタ18の支える電圧は下がり、言い換えれば電子電流がリーク電流として半導体基板1からキャパシタ18へ流れることにより、キャパシタ18の電圧が下がり情報が消失する。

【0040】かかる情報の消失を回避するため、ゲート電極401を選択し、ソース/ドレイン領域5の電位を上昇させ、キャパシタ18に蓄えられた情報の読み出し及び書き込みを行うというリフレッシュ動作が行われる。例えば書き込み時には、半導体基板1の電位が-1Vに設定されたままでゲート電極401を電源電位2Vから昇圧して4Vに、ビット線13の電位を2Vに、それぞれ設定する。かかる状態では電子がキャパシタ18から半導体基板1へ抜かれることで、下部電極15の電位は電源電位2Vになる。言い換えれば、キャパシタ18には正孔が蓄えられる。

【0041】そして、以下の実施の形態では、かかるリフレッシュ動作を頻繁に行わなくてすむように、半導体基板1とキャパシタ18との間のリーク電流を抑制する構成を示す。

【0042】B. キャパシタ18とソース/ドレイン領域6との間の高抵抗化：本節で述べられる実施の形態は、その幾何学的配置は図51に示された構成と同様であるが、キャパシタ18とソース/ドレイン領域6との間の抵抗を制御して望ましい効果を得る態様を示す。

【0043】(b-1) 基本的な考え方：図1は本発明にかかるメモリセル200Bの等価回路を示す回路図である。図50に示されたメモリセル200Aと比較すると、キャパシタ201とトランジスタ202との間に抵抗R1, R2, R3(以下、これらのそれぞれの抵抗値

もR1, R2, R3とする)が直列に接続されている点で異なっている。図51と比較すれば、抵抗R1, R2, R3はそれぞれパッド10、ストレージノード11、下部電極15における抵抗を示している。また接続点N1, N2, N3, N4, N5, N6はそれぞれキャパシタ誘電体膜16と下部電極15との接続箇所、パッド10とソース/ドレイン領域6との接続箇所、ゲート電極401、ビット線13、ストレージノード11とパッド10との接続箇所、下部電極15とストレージノード11との接続箇所に対応している。

【0044】ポーズ時にはゲート電極401の電位(接続点N3の電位)が0Vに設定され、ビット線13の電位(接続点N4の電位)が $V_{dd}/2$ に設定される。キャパシタ18の支える電圧(接続点N1の、接地電位に対する電圧)は V_{dd} であり、リーク電流I(以下、その大きさをもIで示す)が流れることにより、接続点N2, N5, N6の電位はそれぞれ $V_{dd}-I(R1+R2+R3)$, $V_{dd}-I(R2+R3)$, $V_{dd}-IR3$ となる。

【0045】ところでトランジスタ91(セルトランジスタ202)のリーク電流の要因としては、その空乏層中のSRH(Shockley-Read-Hall)過程による生成電流や、界面準位や半導体基板中の準位を介して生成するトンネル電流(TAT: Trap Assisted Tunneling)によるリーク電流がある。そして特に電界強度が高いゲート端の領域では後者のトンネル電流によるリーク電流が支配的である。そこで、接続点N2, N3間の電位差を小さくしてリーク電流Iを小さくすることができる。

【0046】しかし、下部電極15は空乏化を避けるためにその不純物濃度を下げることは望ましくない。従って抵抗値R3の値を下げることは困難である。そこで本節では抵抗値R2, R1の少なくともいずれか一方を増大させたメモリセルが提案される。

【0047】(b-2)実施の形態1. 本実施の形態では、下部電極15の抵抗値R3を低くしつつ、パッド10の抵抗値R1を高くすることで、図1の接続点N2の電位の低下を抑制する。

【0048】図2はパッド10の有する不純物濃度と、120℃におけるリフレッシュポーズ時間との関係をシミュレーションしたグラフである。下部電極15の不純物濃度は空乏化を避けるために $4 \times 10^{20}/\text{cm}^3$ 以上に、例えば $8 \times 10^{20}/\text{cm}^3$ に設定される。同様にしてストレージノード11の濃度は例えば $4 \times 10^{20}/\text{cm}^3$ に設定される。

【0049】一方、パッド10の不純物濃度が低く、 $5 \times 10^{17}/\text{cm}^3$ 程度以下では、メモリセルの読み出し動作やリフレッシュ動作における電位の伝達を迅速に行えず、リフレッシュポーズ時間は却って短くなる。その一方、パッド10の不純物濃度を高めると、抵抗値R1が小さくなるのでポーズ時におけるリーク電流が増大

し、 $1 \times 10^{20}/\text{cm}^3$ 以上にするるとリフレッシュポーズ時間が低下する傾向が著しい。よってパッド10の不純物濃度は、 $5 \times 10^{17} \sim 1 \times 10^{20}/\text{cm}^3$ 程度に設定することが望ましい。なかでも、 $1 \times 10^{18} \sim 5 \times 10^{19}/\text{cm}^3$ の範囲は最もリフレッシュポーズ時間が長くなって望ましい。特にポーズ時にパッド10が空乏化することがリーク電流を低下させる点で望ましい。例えばパッド10の濃度は $1 \times 10^{19}/\text{cm}^3$ に設定される。

10 【0050】このように抵抗R1を高めることにより、 $R1+R2+R3$ の値を従来よりも高めることができる。しかもパッド10の少なくとも一部が空乏化することにより、パッド10を挟んで隣接するゲート電極401, 402の間の寄生容量が減少することとなり、ワード線として機能するこれらでの信号の遅延を短くするという効果もある。

【0051】逆に、ストレージノード11の有する濃度を小さくして、例えば $8 \times 10^{19} \sim 1 \times 10^{20}/\text{cm}^3$ に設定して、抵抗値R2を高めても良い。この場合にもストレージノード11の一部が空乏化することが、抵抗値R2を高めてリーク電流を低下させる点で望ましい。そしてこの場合にはビット線13とストレージノード11との間の寄生容量が減少することとなり、ビット線13での信号の遅延を短くするという効果もある。もちろん、抵抗値R2, R1の双方を高めても良い。

【0052】なお、例えば特開平9-298278号公報では、図51に即して言えば、キャパシタ18の下部電極15とストレージノード11の内部とを一体とし、ストレージノード11の層間絶縁膜12に近い側を数十nm程度の厚さにわたって不純物濃度を低めた構成が示されている。更にこの不純物濃度が低いアモルファスシリコンはパッド10を介することなく直接にソース/ドレイン6に接触する構成が示されている。

30 【0053】しかし、ストレージノード11において不純物濃度に差を設けず、本実施の形態のように下部電極15とストレージノード11との不純物濃度に差を設ける方が望ましい。下部電極15を形成した後に行われるCVD(Chemical Vapor Deposition)法の実行、熱処理(後述する)によって下部電極15からストレージノード11へと不純物濃度が拡散しても、通常はストレージノード11の長さが長いので、抵抗値R2, R1に及ぼす影響は小さいからである。

40 【0054】図3乃至図8は本実施の形態にかかるメモリセルの製造方法を工程順に示す断面図である。例えばシリコンを主成分とするp型の半導体基板1を準備し、その主表面に素子分離絶縁膜2を、例えばシリコン酸化膜で形成し、外部から電気的に分離される活性領域を取り囲む。そして、半導体基板1の主表面内にウエル不純物層、チャネルカット不純物層、チャネル不純物層を形成する。但し図面ではこれらの不純物層の表示は省略し

ている。

【0055】次に全面にゲート絶縁膜3を約50～80 nmの膜厚で形成後、膜厚200 nmのゲート電極材料を堆積させ、更に膜厚100 nmの絶縁膜220を堆積させる。これらの膜はCVD装置で堆積する。ゲート電極材料としては例えば燐ドーフトポリシリコン、燐ドーフトアモルファスシリコン、WSi_x/燐ドーフトポリシリコンの2層構造(x=2～3)、WSi_x/燐ドーフトアモルファスシリコンの2層構造のいずれをも採用することができる。また金属、例えば銅やタングステンを採用することができる。燐をドーブするには、CVD装置の反応室内でSiH₄ガスと一緒にPH₃ガスを流せば良い。

【0056】そして絶縁膜220の上にレジストを塗布し、転写工程を経てパターンニングを施す。絶縁膜220は転写工程の露光時のハレーションによるレジストの細りを防止する働きがある。そしてパターンニングされたレジストをマスクにして、反応性イオンエッチングによりゲート電極材料と絶縁膜220をパターンニングし、ワード線として機能するゲート電極402a, 401a, 401b, 402bを、半導体基板1の厚さに垂直な方向にこの順に配置する。反応性イオンエッチングの際にオーバーエッチングとすることにより、絶縁膜220上のレジストは除去される。

【0057】次にゲート電極401, 402をマスクとして自己整合的に、例えば、燐イオンを注入してソース／ドレイン領域5, 6を形成し、図3に示される構造が得られる。なおこれらの形成はn型不純物をp型の半導体基板1へ導入すれば足り、他の方法、例えばプラズマドーピング法やクラスタイオンビーム法を採用することができる。絶縁膜220は反応性イオンエッチングにおけるゲート電極材料の損傷、イオン注入時におけるゲート電極401, 402の損傷を抑制する働きがある。

【0058】次に、例えば窒素雰囲気下、900℃での30秒間のRTA (Rapid Thermal Anneal) を施し、半導体基板1中に注入された不純物を電気的に活性化させる。このときゲート電極401, 402の側壁及び頂面が窒化される。更にドライ酸素雰囲気下、1000℃での20秒間のRTAを施す。これにより、主として半導体基板1の表面が酸化される。この際、ゲート電極401, 402の側壁の表面は既に窒化されているため、ほとんど酸化されない。

【0059】以上の処理で得られた構成の全面に、絶縁膜として、例えばシリコン窒化膜を堆積し、反応性イオンエッチングを施して当該シリコン窒化膜と半導体基板1の表面に形成された酸化膜とを除去する。これにより図4に示されるように、ゲート電極402a, 401a, 401b, 402bのそれぞれに対して絶縁膜702a, 701a, 701b, 702bが、更にこれらと半導体基板1との間に絶縁膜8が形成される。上述の例

では、絶縁膜701, 702が窒化シリコンを、絶縁膜8が酸化シリコンを、それぞれ材料としている。

【0060】絶縁膜701, 702と半導体基板1との間に絶縁膜8を介在させるのは、以下の理由による。即ち、窒化シリコンである絶縁膜701, 702がp型シリコンを主成分とする半導体基板1に直接に接触すると、両者の作る界面での準位の密度が高くなる。この界面準位密度が高くなると、トランジスタ91のホットキャリア耐性が低下し、信頼性が劣化する問題が生じる。シリコンとの界面準位密度が低い材料である酸化シリコンを絶縁膜701, 702に採用することは、後述される理由により望ましくない。従ってシリコンとの界面準位密度が低い材料、例えば酸化シリコンからなる絶縁膜8を半導体基板1の上に設けてから絶縁膜701, 702を窒化シリコンで形成する必要がある。

【0061】次に、例えばシリコン酸化膜を全面に堆積し、更にレジストを塗布し、素子分離絶縁膜2の上方が被覆されるようにレジストをパターンニングする。パターンニングされたレジストをマスクに用いたウエットエッチングで、ソース／ドレイン領域5, 6上にあるシリコン酸化膜のみを除去し、ソース／ドレイン領域5, 6の表面を露出させる。これにより図5に示されるように、活性領域から見て絶縁膜702a, 702bよりも外側にシリコン酸化膜12dとして残置することができる。そしてこの処理を行う際に絶縁膜701, 702が損なわれないようにするためには、絶縁膜701, 702に酸化シリコンを採用することは望ましくない。

【0062】次に、燐をドーブしたドーフトアモルファスシリコンをCVD装置で堆積する。ドーブされる燐の濃度は既に説明した通りである。次にシリコン酸化膜12dと、絶縁膜701, 702のうち、ゲート電極401, 402の上部に堆積された部分をストップとしたCMP (Chemical Mechanical Polish) 処理を施して、パッド10a, 10b, 10cを形成する。これにより図5に示された構造が得られる。パッド10a, 10b, 10cの高さ(厚さ)は少なくとも150 nm以上ある。

【0063】次に、例えば、CVD装置の反応室中で 1×10^{-6} Torr程度に排気して、550～600℃程度で熱処理を行うと、半導体基板1を種結晶としてパッド10a, 10b, 10cは固相成長し、その結晶性が高まる。このとき絶縁膜701, 702に存在する複数の結晶核から成長した結晶と、半導体基板1の結晶核から成長した結晶とがぶつかり、一旦グレインバウンダリを形成してドーフトポリシリコンが形成される。しかし更に数時間熱処理することにより、グレインバウンダリがほとんどない、ほぼ完全結晶に近いドーフトシリコンを得ることができる。

【0064】アモルファスシリコンを結晶化するためには、この他に窒素雰囲気中で550～700℃の温度下

15

での数時間の熱処理を採用することができる。また、CVD条件を制御することにより、一旦アモルファスシリコンを形成することなく、選択エピタキシャル成長によってドーパントシリコンを形成してパッド10a, 10b, 10cを得ることもできる。

【0065】パッド10a, 10b, 10cは既述のように不純物濃度が低く設定されるので、半導体基板1とパッド10a, 10b, 10cの界面との間に存在するコンタクト抵抗が高くなる。このコンタクト抵抗を下げるために、例えば、図4に示す構造で自己整合的に半導体基板1の表面に燐をイオン注入しても良い。

【0066】次に図5に示された構造上に、例えばシリコン酸化膜12eを堆積し、その後、ビット線13を例えばタングステンと窒化チタンの2層で構成し、更にシリコン酸化膜12fとシリコン窒化膜14とを堆積する。シリコン酸化膜12d, 12e, 12fは層間絶縁膜12を構成する。

【0067】次に、シリコン窒化膜14上にレジストを塗布後、転写工程を経て、パターニングを行う。パターニングされたレジストをマスクに用いて反応性イオンエッチングを行うことにより、シリコン窒化膜14及び層間絶縁膜12にトレンチ9を形成する。シリコン酸化膜である層間絶縁膜12と、シリコンであるパッド10との間のエッチングの選択比は大きいので、パッド10上でエッチングは停止する。

【0068】マスクとして用いられたレジストを除去し、CVD装置を用いてトレンチ9をドーパントアモルファスシリコンで埋め込む。次に、CMP処理によりシリコン窒化膜14をストッパにしてドーパントアモルファスシリコンの上面を平坦化してストレージノード11を形成する。これにより図6に示された構造を得ることができる。

【0069】なお、パッド10とストレージノード11との間に存在するコンタクト抵抗を低減するために、トレンチ9を通して、例えば燐をパッド10の上面にイオン注入しても良い。

【0070】また、シリコン酸化膜12d, 12e, 12fはTEOS (tetraethylorthosilicate) や、BPTEOS (boro-phospho tetraethylorthosilicate) を用いて形成することができ、弗素や窒素や水素を含んでも良い。

【0071】次に図6に示された構造上にたとえばTEOSを用いて形成された絶縁膜21を堆積後、パターニングされたレジストを形成し、これをマスクとした反応性イオンエッチングを行って、少なくともストレージノード11上の絶縁膜21を除去し、ストレージノード11上に凹部を形成する。その後、ドーパントシリコンを堆積し、その表面に粗面化ポリシリコン20を堆積する。次に、絶縁膜21をストッパとしたCMP処理を行うことにより、凹部にのみドーパントシリコンを残置

16

して、粗面化ポリシリコン20付きの下部電極15を形成する。これにより図7に示された構造を得ることができる。粗面化ポリシリコン20を付加することにより、下部電極15の表面積を実質的に増大させキャパシタ18の容量を約2倍に増大させることができる。

【0072】粗面化ポリシリコン20の形成は、例えば次のようにして行われる。まず、550～570℃の温度、0.1～0.5mTorrの圧力に保たれたCVD装置の反応室内で、下部電極15の表面にSiH₄ガスを照射する。この過程で下部電極15の表面にシリコンの核が形成される。次に、SiH₄を排気して反応室内を1×10⁻⁷Torr程度まで減圧する。温度を550～570℃程度に保ち、30分～1時間程度熱処理を施すと、下部電極15の表面に粗面化ポリシリコン20が形成される。粗面化ポリシリコン20も下部電極15と同様にドーパされている。

【0073】次に絶縁膜21をエッチングにて除去し、その後キャパシタ誘電体膜16を堆積して図8に示された構造を得る。誘電体膜の材料として、シリコン窒化膜、窒化シリコン酸化膜、シリコン酸化膜、Al₂O₃膜、TiN/Ta₂O₅/TiN三層膜、BST (BaSrTiO₃)を採用することができる。

【0074】その後、燐をドーパしたポリシリコン、あるいは、燐をドーパしたアモルファスシリコンを堆積してセルプレート17を形成し、図51に示された構造を得ることができる。

【0075】なお、パッド10a, 10b, 10cやストレージノード11や下部電極15中の不純物を電気的に活性化させるために、上述の工程において随時にRTA等の熱処理が施される。特に下部電極15はその中の不純物が十分に活性化されないと空乏化が起り、キャパシタ18の容量が十分に確保できない問題があるので、活性化のための熱処理は必須である。

【0076】(b-3) 実施の形態2. 本実施の形態では不純物濃度を制御するのではなく、幾何学的形状を制御してストレージノード11の抵抗値R2を低くすることで、図1の接続点N2の電位の低下を抑制する。

【0077】図9は本実施の形態にかかるメモリセルの構造を示す断面図である。図51の構造において、ストレージノード11に空洞22を形成した点で特徴的に異なっている。燐をドーパしたアモルファスシリコンでトレンチ9を埋め込む際に、CVD装置の反応室中のSiH₄ガスの流量、温度、ガスの分圧、堆積時間等を調節することにより空洞22を形成することができる。空洞22ができるメカニズムは、CVD装置でアモルファスシリコンを堆積する過程で、トレンチ9の内側がアモルファスシリコンで埋め込まれる前にトレンチ9の開口部分が堆積されたアモルファスシリコンで覆われるためである。

【0078】その後、トレンチ9に設けられたアモル

17

アスシリコンの結晶性を高める処理は実施の形態1で示された方法を採用することができる。

【0079】ストレージノード11において、電流を流さない空洞22が存在するために、ストレージノード11の抵抗値R2を増大させることができる。よってリフレッシュポーズ時にリーク電流に起因する電圧降下を大きくすることができ、(b-1)で述べた理由により、リフレッシュポーズ時間が長いDRAMセルを実現することができる。

【0080】(b-4)実施の形態3. 本実施の形態では不純物濃度を制御するのではなく、幾何学的形状を制御してパッド10の抵抗値R1を低くすることで、図1の接続点N2の電位の低下を抑制する。

【0081】図10は本実施の形態にかかるメモリセルの構造を示す断面図である。図51の構造において、パッド10a、10cに空洞23を形成した点で特徴的に異なっている。燐をドーブしたアモルファスシリコンで絶縁膜701a、702aの間、絶縁膜701b、702bの間を埋め込む際に、CVD条件を調節することにより空洞23を形成することができる。パッド10cにおいても空洞23を形成しても良い。空洞23ができるメカニズムは、空洞22ができるメカニズムと同様である。

【0082】パッド10a、10bにおいて、電流を流さない空洞23が存在するために、パッド10の抵抗値R1を増大させることができる。よって実施の形態2と同様にしてリフレッシュポーズ時間が長いDRAMセルを実現することができる。

【0083】(b-5)実施の形態4. 本実施の形態でも幾何学的形状を制御してパッド10の抵抗値R1を低くすることで、図1の接続点N2の電位の低下を抑制する。

【0084】図11は本実施の形態にかかるメモリセルの構造を示す断面図である。図51の構造と比較すると、ストレージノード11を含め、これよりも半導体基板1から遠い構成部分は同一であるが、パッド10a、10b、10cの構造が異なっている。

【0085】より具体的に言えば、絶縁膜701、702及び半導体基板1は層間絶縁膜112及びその上の絶縁膜114で覆われており、絶縁膜701a、702aの間においてパッド10aが、絶縁膜701b、702bの間においてパッド10bが、絶縁膜701a、701bの間においてパッド10cが、それぞれ層間絶縁膜112及び絶縁膜114を貫通して設けられている。かかる構成の上を層間絶縁膜212及びその上の絶縁膜214が覆っており、それぞれパッド10a、10bに接触するストレージノード11a、11bが層間絶縁膜212及び絶縁膜214を貫通して設けられている。層間絶縁膜112、212及び絶縁膜114、214は例えばそれぞれ酸化シリコン、窒化シリコンで形成される。

18

【0086】即ち、パッド10a、10bの高さを絶縁膜701、702の高さよりも大きくし、これらの有する抵抗値R1を大きくすることにより、実施の形態3と同様にしてリフレッシュポーズ時間が長いDRAMセルを実現することができる。

【0087】図12及び図13は図11に示された構成の製造方法を工程順に示す断面図である。実施の形態1において示された工程によって図4に示された構造を得た後、全面に、例えばTEOSを用いてシリコン酸化膜を形成し、更にその上にシリコン窒化膜を堆積させる。その上にパターンニングされたレジストを形成し、これをマスクとして反応性イオンエッチングを施して絶縁膜701a、702aの間、絶縁膜701b、702bの間、絶縁膜701a、701bの間にトレンチを掘り層間絶縁膜112及び絶縁膜114を残置し、ソース/ドレイン領域5、6を露出させる。そしてこれらのトレンチを、燐をドーブしたアモルファスシリコンで充填し、絶縁膜114をストップとするCMP処理を行ってパッド10a、10b、10cを形成する(図12)。なお、本実施の形態においてにおいてパッド10cは断面図に現れない態様が図示されているが、実施の形態1乃至3のように断面に現れる態様としても良い。

【0088】その後、実施の形態1と同様にして層間絶縁膜212、絶縁膜214、ストレージノード11、ビット線13を形成する。更にたとえばTEOSを用いて形成された絶縁膜312を堆積後、パターンニングされたレジストを形成し、これをマスクとした反応性イオンエッチングを行って、少なくともストレージノード11上の絶縁膜312を除去し、ストレージノード11上に凹部を形成する。その後、ドーブトポリシリコンを堆積し、その表面に粗面化ポリシリコン20を堆積し、絶縁膜312をストップとしたCMP処理を行うことにより、凹部にのみドーブトポリシリコンを残置して、粗面化ポリシリコン20付きの下部電極15を形成する。これにより図13に示された構造を得ることができる。その後、実施の形態1と同様の工程を行って図11に示された構造を得ることができる。

【0089】なお、粗面化ポリシリコン20は、下部電極15の内側のみならず、外側にも形成することができる。図14は図11に示された構成において、粗面化ポリシリコン20を下部電極15の外側にも形成した場合の態様を示す断面図である。このような構成では、下部電極15の実質的な表面積をより増大させることになり、キャパシタ18の容量値をより増大させることができる。

【0090】図15乃至図17は図14に示された構造を得る工程を順に示す断面図である。図6に示された構造を得た後、たとえばTEOSを用いて形成された絶縁膜312を堆積後、パターンニングされたレジストを形成し、これをマスクとした反応性イオンエッチングを行っ

19

て、少なくともストレージノード11上の絶縁膜312を除去し、ストレージノード11上に凹部を形成する。その後、ドーフトポリシリコンを堆積し、絶縁膜312をストップとしたCMP処理を行うことにより、凹部にのみドーフトポリシリコンを残置して下部電極15を得ることができる(図15)。

【0091】その後、エッチングにて絶縁膜312を全て除去して図16に示される構造を得てから、実施の形態1で示された粗面化の処理を施すことにより、図17に示されるように下部電極15の内面及び外面に粗面化ポリシリコン20を得ることができる。

【0092】このように粗面化ポリシリコン20を下部電極15の外側にも形成することは、実施の形態1乃至実施の形態3において適用できることはもちろんのこと、次節Cで説明される実施の形態においても適用できる。

【0093】(b-6)その他の変形。上記実施の形態では、パッド10及びストレージノード11の抵抗を増加させる態様について示した。しかし、パッド10とソース/ドレイン領域6との間、パッド10とストレージノード11との間、ストレージノード11と下部電極15との間に存在するコンタクト抵抗を意図的に高く設定することにより、上記実施の形態の効果を得ることが可能である。

【0094】C. キャパシタ18とソース/ドレイン領域6との間への新たなトランジスタの介挿：本節で述べられる実施の形態は、パッド10a、10bの代わりにトランジスタを設け、ポーズ時にはこれをオフすることによってリーク電流を抑制する態様を示す。

【0095】(c-1)実施の形態5。図18は本発明の実施の形態5にかかるメモリセルの、一対分の構成を示す断面図である。図51に示された構成と比較して、パッド10a、10bをそれぞれ縦型MISトランジスタ92a、92bに置換した構成を有している。

【0096】図19は、図18においてMISトランジスタ92aの近傍の領域Sを拡大して示す断面図である。MISトランジスタ92aは、絶縁膜701a、702aの間に半導体基板1に近い側からn型ソース/ドレイン領域26、p型チャネル領域25、n型ソース/ドレイン領域24の積層構成を備えている。そしてソース/ドレイン領域24にはストレージノード11aが接触し、n型ソース/ドレイン領域26にはソース/ドレイン領域6aが接触している。

【0097】絶縁膜701aはトランジスタ92aのゲート絶縁膜としても機能し、トランジスタ92aはゲート電極401aに印加される電位によってオン/オフが制御される。

【0098】図20は上記の構成の1つのメモリセル200Cの等価回路を示す回路図である。トランジスタ202、310及びキャパシタ201は、それぞれ図19

20

のトランジスタ91a、92a及びキャパシタ18aに相当する。また接続点N1、N2、N3、N4はそれぞれ下部電極15a、ソース/ドレイン領域6a、ゲート電極401a、ソース/ドレイン領域5に相当する。但しストレージノード11a及びパッド10cの抵抗は無視している。

【0099】電源電位Vddを例えば2Vとする。トランジスタ91aとキャパシタ18aから構成されるメモリセルに情報が書き込まれる場合、例えばトランジスタ91aのソース/ドレイン領域6aの電位が0Vに、ビット線13の電位が2Vに、ゲート電極401aの電位が4Vに、それぞれ設定される。この条件下では、トランジスタ91aのチャネル領域28とトランジスタ92aのチャネル領域25が、それぞれ、ゲート絶縁膜3と絶縁膜401aに沿って反転層を形成する。よって電子は下部電極15aからストレージノード11a、トランジスタ92aを介して半導体基板1へ流れるため、下部電極15aの電位は2Vになり、キャパシタ18aへ情報が書き込まれる。

【0100】一方、メモリセルがポーズ状態の場合、例えば半導体基板1の電位が-1Vに維持されたまま、ゲート電極401aの電位(図20の接続点N3の電位)が0V、ビット線13の電位(図20の接続点N4の電位)が1V(=Vdd/2)に、それぞれ設定される。この場合下部電極15aの電位(図20の接続点N1の電位)は2V(=Vdd)である。図20の接続点N2の電位はトランジスタ310(図19のトランジスタ92a)の飽和電圧を ΔV として、 $Vdd - \Delta V$ で与えられる。

【0101】既述のようにトランジスタ91aは、その空乏層中のSRH過程による生成電流や、TATによるリーク電流が流れる可能性がある。しかし、本実施の形態の構成では、トランジスタ91aとキャパシタ18aとの間にはトランジスタ92aが介在しているので、両方がオフすることにより図51に示された構成よりもリーク電流が少ない。そのため、リフレッシュポーズ時間が長くなり、消費電力が少なく、またメモリに蓄積された情報の使用効率を高める半導体装置を実現できる。

【0102】なお、上記の動作において、トランジスタ91aを構成要素とするメモリセルが、絶縁膜72aを介したゲート電極402aからの電界によって誤動作しないよう、ゲート電極402aに対応するワード線は活性化せず、例えばその電位が0Vに設定されることが望ましい。また、当該メモリセルについてのワード線が選択されない場合には、ゲート電極401a、402aに-0.8~-0.1Vの負電位を印加すれば、トランジスタ92aのリーク電流を更に減少させることができ望ましい。

【0103】図21は本実施の形態にかかるメモリセルの構造を得る第1の製造方法を示す断面図である。実施

21

の形態1で示された工程により、図5に示された構造を得た後、レジストを塗布し、転写工程を経て、これをパターンニングしてマスク29を形成する。マスク29はパッド10a、10bのみを露出させる。次に、マスク29を介して硼素、あるいは、BF₂のイオン30をパッド10a、10bへ注入し、p型のチャネル領域25を形成する。これにより、パッド10a、10bはチャネル領域25よりも半導体基板1に近い側にソース/ドレイン領域26を、遠い側にソース/ドレイン領域24を、それぞれ有するトランジスタ92a、92bとなる。

【0104】トランジスタ92のソース/ドレイン領域領域24、26は、パッド10a、10b、10cを形成する工程において、燐を例えば $1 \times 10^{20}/\text{cm}^3$ のほぼ一定の濃度でドーブしたアモルファスシリコンを堆積したものをそのまま使用する。あるいは図21において、更に燐をイオン注入し、ソース/ドレイン領域領域24の不純物濃度をソース/ドレイン領域26の不純物濃度よりも高めても良い。

【0105】その後、マスク29を除去し、実施の形態1で示された工程によって実施の形態5にかかるメモリセルの構造を得ることができる。

【0106】図22は本実施の形態にかかるメモリセルの構造を得る第2の製造方法を示す断面図である。パッド10a、10b、10cを形成するためのアモルファスシリコンをCVDによって堆積する工程において、SiH₄と一緒に流すガスを例えば、PH₃、B₂H₆、PH₃の順にすれば、燐、硼素、燐の順に不純物がドーブされ、トランジスタ92のソース/ドレイン領域26、チャネル領域25、ソース/ドレイン領域24が順次に形成される。ドーバントの濃度は、各ドーバントガスのSiH₄に対する流量比で決定される。

【0107】この第2の製造方法によれば、ストレージノード11a、11bに接触するパッド10a、10bのみならず、ビット線13に接触するパッド10cも縦型トランジスタに取って代わられる。この例のようにビット線13に縦型トランジスタを形成しても良い。レジストをパターンニングする必要がなく、工程が簡略化される利点がある。

【0108】図23は本実施の形態にかかるメモリセルの構造を得る第3の製造方法を示す断面図である。実施の形態1で示された工程により、図5に示された構造を得た後、シリコン酸化膜を堆積する。ビット線13を形成後、再度シリコン酸化膜を堆積して、層間絶縁膜12を得る。その上に更にシリコン窒化膜14を堆積して、パターンニングしたレジストをマスクとして用いて反応性イオンエッチングを施し、シリコン窒化膜14及び層間絶縁膜12をパッド10a、10bの上方において選択的に除去し、トレンチ9a、9bを形成する。反応性イオンエッチングは、ほぼパッド10a、10bの上面で

22

止まり、オーバーエッチすることにより、シリコン窒化膜14上のレジストマスクも完全に除去できる。

【0109】次に、トレンチ9を通して、硼素、あるいは、BF₂のイオン30をパッド10a、10bへ注入し、p型のチャネル領域25を形成する。これにより本実施の形態の第1の製造方法と同様にしてトランジスタ92を形成することができる。第1の製造方法と同様にしてソース/ドレイン領域領域24、26は、パッド10a、10b、10cを形成する工程において、燐を例えば $1 \times 10^{20}/\text{cm}^3$ のほぼ一定の濃度でドーブしたアモルファスシリコンを堆積したものをそのまま使用する。あるいは図23において、更に燐をイオン注入し、ソース/ドレイン領域領域24の不純物濃度をソース/ドレイン領域26の不純物濃度よりも高めても良い。

【0110】この後、実施の形態1で示された工程によって実施の形態5にかかるメモリセルの構造を得ることができる。

【0111】図24乃至図27は本実施の形態にかかるメモリセルの構造を得る第4の製造方法を示す断面図である。実施の形態1で示された工程により、図4に示された構造を得た後、全面に、例えばTEOSを用いてシリコン酸化膜を形成し、その上にパターンニングされたレジストを形成し、これをマスクとしてウエットエッチングを施して、絶縁膜701a、702aの間、絶縁膜701b、702bの間にトレンチを掘りシリコン酸化膜12dを残置し、ソース/ドレイン領域5、6を露出させる。

【0112】次に、CVD装置を用いてSiH₄と一緒に流すガスを例えば、PH₃、B₂H₆、PH₃の順にすれば、燐、硼素、燐の順に不純物がドーブされ、トランジスタ92のソース/ドレイン領域26、チャネル領域25、ソース/ドレイン領域24が順次に形成される。この際、絶縁膜701a、701bの間に残置されたシリコン酸化膜12dである、シリコン酸化膜33の上方には硼素を含むアモルファスシリコン層125が形成される(図24)。

【0113】ドーバントの濃度は、各ドーバントガスのSiH₄に対する流量比で決定される。例えば、ソース/ドレイン領域26では燐の濃度が $1 \times 10^{19}/\text{cm}^3$ に、チャネル領域25では硼素の濃度が $5 \times 10^{18}/\text{cm}^3$ に、ソース/ドレイン領域24は燐の濃度が $2 \times 10^{19}/\text{cm}^3$ に設定される。トランジスタ92のしきい値電圧は絶縁膜701の厚さとチャネル領域25の膜厚及び硼素の濃度に依存する。

【0114】次に、絶縁膜701、702の上部をストップパッドとしてCMP処理を行い、シリコン酸化膜12dとソース/ドレイン領域24を平坦化する。この際、アモルファスシリコン層125も除去される。更にシリコン酸化膜33を除去して図25に示される構造を得る。

【0115】次に、再度、CVD装置で燐を 5×10^{20}

23

／ cm^3 の濃度でドーブしたアモルファスシリコン54を堆積する(図26)。この工程で絶縁膜701a, 701bの間がドーブトアモルファスシリコンで充填される。

【0116】再度、CMP絶縁膜701, 702の上部をストップとしてCMP処理を行い、シリコン酸化膜12d、ソース／ドレイン領域24を平坦化する。これにより絶縁膜701a, 701bの間にパッド10cが、絶縁膜701a, 702aの間に縦型トランジスタ92aが、絶縁膜701b, 702bの間に縦型トランジスタ92bが、それぞれ形成されて図27に示された構造が得られる。この後、実施の形態1と同様にして図18に示された構造を得ることができる。

【0117】なお、上で述べた工程では、縦型トランジスタ92のチャンネル領域25やソース／ドレイン領域24, 26を構成するアモルファスシリコン膜を形成する際、 SiH_4 を使用する場合を例に採って説明したが、ジシラン、トリシラン、ジクロロシラン等を使用しても良い。また、燐の代わりに、アルシン、ボラン、ジボラン、トリボラン等を使用して、砒素、硼素を不純物として採用することもできる。

【0118】また、実施の形態4で示されたように粗面化ポリシリコン20を下部電極15の内側及び外側に形成しても良い。

【0119】なお、本実施の形態において、縦型トランジスタ92はLDD構造、埋め込みチャンネルを有する縦型トランジスタに置換しても良い。

【0120】図28及び図29はいずれも図23の領域Sに対応する箇所を拡大して示す断面図である。図28ではトランジスタ92aをLDD構造を有するトランジスタ192aに、図29ではトランジスタ92aを埋め込みチャンネルを有する縦型トランジスタ292aに、それぞれ置換した構成を示している。

【0121】図28において、トランジスタ192aはソース／ドレイン領域6aに近い側から順に、n+型のソース／ドレイン領域34、n-型のソース／ドレイン領域35、p型のチャンネル領域36、n-型のソース／ドレイン領域37、n+型のソース／ドレイン領域38が積層されて構成されている。

【0122】ストレージノード11aとソース／ドレイン領域6aとの間に介在する縦型トランジスタにホットキャリアが発生すると、絶縁膜701a, 702aに電子が注入され、これらの中にトラップが、これらと縦型トランジスタとの界面に界面準位が、それぞれ形成される。かかる現象は縦型トランジスタのしきい値やドレイン電流、リーク電流を変動させる。特に、ホットキャリア劣化に起因して、リーク電流が増えたりリフレッシュポーズ時間が短くなる問題点が生じる。

【0123】しかし、図28に示されるようにLDD構造を有するトランジスタ192aを採用することによ

24

り、トランジスタ92aと比較してnp接合付近の電界が緩和されるので、ホットキャリアの発生が抑制される。よってリフレッシュポーズ時間を長くし、消費電力の抑制、メモリに蓄積された情報の使用効率の向上に資することができる。

【0124】図29において、トランジスタ292aはソース／ドレイン領域6aに近い側から順に、n+型のソース／ドレイン領域39、n-型のチャンネル領域40、n-型のソース／ドレイン領域41が積層されて構成されている。トランジスタ292aはトランジスタ92aと比較してしきい値電圧を小さくできるので、書き込み／読み込みがより高速に行える点で有利である。

【0125】なおトランジスタ192a, 292aの製造方法には、基本的に第1乃至第3の製造方法が採用でき、ドーパントの種類や濃度の設定を制御すれば良い。また、以上でトランジスタ91, 92, 192, 292はnチャンネル型の場合について説明したが、これらがpチャンネル型であってもよい。

【0126】(c-2)実施の形態6. 実施の形態5で採用された縦型トランジスタ92は、従来のパッド10に置換して設けられた。本実施の形態では、従来のパッド10はそのまま用い、その上層に縦型トランジスタを設けた態様を示す。

【0127】図30は本発明の実施の形態6にかかるメモリセルの、一対分の構成を示す断面図である。図51に示された構造と同様にして、半導体基板1、素子分離絶縁膜2、MOSトランジスタ91、ゲート電極401, 402、パッド10a, 10b, 10cが設けられている。そして図51に示されたストレージノード11、層間絶縁膜12、シリコン窒化膜14に対応して、それぞれ下部ストレージノード111、層間絶縁膜112、シリコン窒化膜114が設けられている。但し、層間絶縁膜112は層間絶縁膜12とは異なり、ビット線13が半導体基板1と平行に敷設されてはならず、パッド10bが後述するビット線13と破線で示された貫通孔を介して接続されている。

【0128】そしてシリコン窒化膜114上には、図18に示されたゲート電極401, 402、絶縁膜701, 702、ストレージノード11、層間絶縁膜12、縦型トランジスタ92、シリコン窒化膜14に対応して、それぞれゲート電極403, 404、絶縁膜703, 704、上部ストレージノード211、層間絶縁膜212、縦型トランジスタ93、シリコン窒化膜214が設けられている。また、シリコン窒化膜214上には、図18に示された構造と同様にしてキャパシタ18が形成されている。但し、本実施の形態では層間絶縁膜212にはビット線13が半導体基板1と平行に敷設されてはならず、層間絶縁膜19においてビット線13が半導体基板1と平行に敷設されており、破線で示された貫通孔を介してビット線13がパッド10cに接続され

25

ている。また絶縁膜 703, 704 の下には、図 18 に示されたゲート絶縁膜 3 及び絶縁膜 8 が設けられていない。これらがトランジスタ 93 以外のトランジスタを構成する半導体と、直接には接触しないからである。

【0129】図 31 は上記の構成の 1 つのメモリセル 200D の等価回路を示す回路図である。トランジスタ 202, 310 及びキャパシタ 201、ワード線 204、第 2 ワード線 410 は、それぞれ図 30 のトランジスタ 91a, 93a、キャパシタ 18a、ゲート電極 401a、ゲート電極 403a に相当する。また接続点 N1, N2, N3, N4 はそれぞれ下部電極 15a、ソース/ドレイン領域 6a、ゲート電極 401a、ソース/ドレイン領域 5 に相当する。そして抵抗 RS は上部ストレージノード 111a 及び下部ストレージノード 211a の抵抗の合成抵抗に相当し、パッド 10c の抵抗は無視している。抵抗 RS を無視すれば、トランジスタ 310 のゲートが接続される相手がワード線 204 ではなく、第 2 ワード線 410 であるという点で、図 20 に示されたメモリセル 200C との差異がある。

【0130】図 32 はメモリセル 200D の種々の動作を説明するための回路図である。ビット線 203 はセンスアンプ 205 に接続される一方、ビット線選択スイッチ Y を介して入出力線 206 に接続されている。また、プリチャージスイッチ P を介してプリチャージ線 207 に接続されている。プリチャージ線 207 の電位は通常、電源電位を Vdd として、Vdd/2 に設定される。

【0131】プリチャージ動作は、ビット線選択スイッチ Y がオフの状態ではプリチャージスイッチ P をオンすることにより行われ、ビット線 203 は電位 Vdd/2 に設定される。この電位はビット線 203 の浮遊容量 208 によって保持される。

【0132】図 33 は読み出し動作を示すタイミングチャートである。ワード線 204 の電位（即ち接続点 N3 の電位）、第 2 ワード線 410（トランジスタ 310 の電位）、ビット線 203 の電位（即ち接続点 N4 の電位）、接続点 N1 の電位を、それぞれ WL, SWL, D, G として示している。

【0133】時刻 t10 以前には電位 G はキャパシタ 201 によって電位 Vdd が保持されていたとする（実線）。そして時刻 t10 においてトランジスタ 202, 310 をオンさせるべく、電位 WL, SWL をそれぞれ Vdd+Vth1, Vdd+Vth2 に設定する。ここで Vth1, Vth2 はそれぞれトランジスタ 202, 310 のしきい値電圧である。電位 WL, SWL をそれぞれ Vdd+Vth1, Vdd+Vth2 以上にしても良い。例えばいずれも共通した電位 Vdd+Vth1+Vth2 にすれば、昇圧回路を削減することができる。

【0134】時刻 t10 においてトランジスタ 202, 310 がオンするので、合成抵抗 RS に依存した時定数

26

でキャパシタ 201 の容量 Cs と浮遊容量 208 の容量 Cd との間において電荷の配分が生じ、時刻 t11 において平衡状態に到る。そして電位 D, G は等しく Vdd/2+Vs となる。ここで Vs = (Vdd/2)Cs/(Cs+Cd) である。センスアンプ 205 はそれまでにビット線 203 から与えられていたプリチャージ電位 Vdd/2 と電位 D とを比較する。そして D > Vdd/2 であるので、センスアンプの出力の電位は Vdd になる。時刻 t11 の後に時刻 t12 においてセンスアンプスイッチ S がオンし、ビット線 203 の電位 D が電位 Vdd にまで上昇すると、センスアンプスイッチ S がオフする。

【0135】その後、ビット線選択スイッチ Y がオンして入出力線 206 へ電位 Vdd が印加され、その後ビット線選択スイッチ Y がオフする。その後、時刻 t13 においてトランジスタ 202, 310 をオフさせるべく、電位 WL, SWL をいずれも零にし、その後に時刻 t14 においてプリチャージスイッチ P をオンする。電位 D が Vdd/2 に到った後に、プリチャージスイッチ P がオフする。

【0136】時刻 t10 以前には電位 G は 0 であったならば（破線）、時刻 t11 において電位 D, G は等しく Vdd/2-Vs となり、センスアンプの出力の電位は 0 となる。

【0137】図 34 は書き込み動作を示すタイミングチャートである。時刻 t20 以前には電位 G はキャパシタ 201 によって電位 Vdd が保持されていたとする（実線）。そして時刻 t20 においてトランジスタ 202, 310 をオンさせるべく、電位 WL, SWL をそれぞれ Vdd+Vth1, Vdd+Vth2 に設定する。これにより、時刻 t21 において電位 D, G は等しく Vdd/2+Vs となり、センスアンプの出力の電位は Vdd になる。その後、時刻 t22 においてセンスアンプスイッチ S がオンし、一旦読み出しの動作を行う。これにより、ワード線 204 に接続されるが書き込み動作の対象ではない他のメモリセルの情報が、書き込み動作によって破壊されることが回避される。つまり選択されていないメモリセルのビット線にはそのメモリセルの情報に対応した電位が与えられる。

【0138】次に、キャパシタ 201 の電位 G を零に変える書き込み動作を行う場合を例示すると、時刻 t23 においてビット線選択スイッチ Y がオンして入出力線 206 から零の電位がビット線 203 へ与えられる。この時にもトランジスタ 202, 310 はオンしているので、キャパシタ 201 の電位 D は合成抵抗 RS に依存した時定数で零となる（時刻 t24）。その後、ビット線選択スイッチ Y がオフする。その後、読み出し動作と同様に、時刻 t25 においてトランジスタ 202, 310 をオフさせるべく、電位 WL, SWL の電位をいずれも零にし、時刻 t26 においてプリチャージスイッチ

27

Pをオンし、電位Dが $V_{dd}/2$ に到った後に、プリチャージスイッチ ΦP がオフする。

【0139】リフレッシュ動作は読み出し動作と同一であり、ワード線204に接続された全てのメモリセルが一括して同時にリフレッシュされる。

【0140】電位SWLを電位WLに対してある位相差 τ_0 だけ進んで変化することにより、抵抗RSに依存した時定数による電位D、Gの変化の遅延を軽減することができる。図35及び図36はそれぞれ読み出し時、書き込み時のメモリセル200Dの動作を示すタイミングチャートである。

【0141】読み出し動作においては、時刻 t_{110} 以前には電位Gはキャパシタ201によって電位 V_{dd} が保持されていたとする（実線：時刻 t_{110} 以前に電位Gが零であった場合の動作は破線で示されている）。そして時刻 t_{110} においてトランジスタ310をオンさせるべく、電位SWLを $V_{dd}+V_{th2}$ 以上に設定する。その後、時刻 $t_{210}(=t_{110}+\tau_0)$ においてトランジスタ202をオンさせるべく、電位WLを $V_{dd}+V_{th1}$ 以上に設定する。これにより電位D、Gは電位 $V_{dd}/2$ へ向かって遷移する。

【0142】その後、図33で示された動作が引き続き、トランジスタ310、202をこの順にオフさせるべく、電位SWL、WLを、それぞれ時刻 t_{113} 、 t_{213} においていずれも零にし、その後に時刻 t_{14} においてプリチャージスイッチ ΦP をオンし、電位Dが $V_{dd}/2$ に到った後に、プリチャージスイッチ ΦP がオフする。

【0143】書き込み動作についても同様であり、時刻 t_{120} 以前には電位Gはキャパシタ201によって電位 V_{dd} が保持されており、これが零へと書き換えられる場合を零にとって説明する（実線：時刻 t_{120} 以前に電位Gが零であって電位 V_{dd} へと書き換えられる場合の動作は破線で示されている）。そして時刻 t_{120} においてトランジスタ310をオンさせるべく、電位SWLを $V_{dd}+V_{th2}$ 以上に設定する。その後、時刻 $t_{220}(=t_{120}+\tau_0)$ においてトランジスタ202をオンさせるべく、電位WLを $V_{dd}+V_{th1}$ 以上に設定する。これにより電位D、Gは電位 $V_{dd}/2$ へ向かって遷移する。

【0144】その後、図34で示された動作が引き続き、トランジスタ310、202をこの順にオフさせるべく、電位SWL、WLを、それぞれ時刻 t_{125} 、 t_{225} においていずれも零にし、その後に時刻 t_{26} においてプリチャージスイッチ ΦP をオンし、電位Dが $V_{dd}/2$ に到った後に、プリチャージスイッチ ΦP がオフする。

【0145】以上のようにして読み出し動作（リフレッシュ動作も含む）、書き込み動作において、トランジスタ202のオンに先立って予めトランジスタ310がオ

28

ンしているため、抵抗RSに依存する時定数が小さくなり、電位D、Gの遷移する速度は大きくなる。読み出し動作、書き込み動作動作を迅速に行うことができる。また、当該メモリセル200Dが選択されない場合において電位SWL、WLを0Vでなく、 $-0.8 \sim -0.1$ Vの負電位に設定すれば、トランジスタ310（図30のトランジスタ93）の、ポーズ時におけるリーク電流を更に減少させることができ望ましい。

【0146】また、実施の形態5とは異なり、縦型トランジスタ93はセルトランジスタたるトランジスタ91と異なる導電型であっても良く、その場合には上記 τ_0 を無視すれば電位SWLと電位WLとはほぼ相補的な関係で遷移することになる。

【0147】図37～図40は図30に示された構造を得る製造方法を工程順に示す断面図である。図37に示された構造は、実施の形態1に示された図6に到る工程で得ることができる。但し、ストレージノード11a、11b、層間絶縁膜12、シリコン窒化膜14、トレンチ9a、9bは、それぞれ下部ストレージノード111a、111b、層間絶縁膜112、シリコン窒化膜114、トレンチ109a、109bと読み替えられる。また、層間絶縁膜112中にビット線13を敷設する工程は省略されるものの、パッド10cに到る貫通孔109cが、トレンチ109a、109bの形成時と同一工程で穿たれ、下部ストレージノード111a、111bの形成時と同一工程で導電体で充填される。貫通孔109cは図37で示される断面には現れず、破線で示されている。

【0148】次に、ゲート電極材料としてTiN/W/TiNの3層膜を堆積後、更にその上に反射防止膜を堆積し、その上にレジストを塗布する。レジストをパターンニングし、これをマスクとして反応性イオンエッチングを施すことによりゲート電極403、404が形成される。次に、シリコン窒化膜を堆積し、更に、反応性イオンエッチングすることによりゲート電極403、404を覆う絶縁膜703、704が形成される。そして、例えばTEOSを用いたCVD法によって形成されるシリコン酸化膜で、絶縁膜703、704の間が充填されるまで堆積する。その上にレジストを塗布し、これをパターンニングしたものをマスクとしてエッチングを施し、絶縁膜703、704の上方部を露出させることにより、絶縁膜703aに対して絶縁膜704aよりも外側の領域、絶縁膜703bに対して絶縁膜704bよりも外側の領域にシリコン酸化膜212dを残置することができる。

【0149】その後、燐をドーブしたアモルファスシリコンを、絶縁膜703a、704aで挟まれた領域、絶縁膜703b、704bで挟まれた領域のいずれをも埋め込むまで堆積する。そしてシリコン酸化膜212dと絶縁膜703、704の上方部をストップパにして、CM

29

P処理を行い、絶縁膜703a, 704aで挟まれた領域、絶縁膜703b, 704bで挟まれた領域にそれぞれアモルファスシリコン70a, 70bを残置する。これにより図38に示された構造が得られる。

【0150】更に、例えばTEOSを用いたCVD法によって形成されるシリコン酸化膜を堆積し、シリコン酸化膜212dと相俟って層間絶縁膜212を形成する。そしてシリコン窒化膜214を更に堆積後、レジストを塗布し、これをパターニングしたものをマスクとして反応性イオンエッチングを施す。これによりアモルファスシリコン70a, 70bをそれぞれ露出させるトレンチ209a, 209b、及び貫通孔109cに連通する貫通孔209cを形成する。

【0151】そしてアモルファスシリコン70に硼素イオン47を注入することにより、縦型トランジスタ93のP型チャネル領域25が得られる。アモルファスシリコン70は、P型チャネル領域25よりも半導体基板1に近い側にn型ソース/ドレイン領域26、遠い側にn型ソース/ドレイン領域24として残置される。これにより図39に示された構造が得られる。もちろん、必要に応じて、燐あるいは砒素をイオン注入することにより、n型ソース/ドレイン領域24, 26の不純物濃度を高めても良い。また、貫通孔209cにおいても縦型トランジスタを形成しても良い。

【0152】次に、燐をドーブしたアモルファスシリコンをCVD法で堆積し、トレンチ209a, 209b, 209cを埋め込む。そしてシリコン窒化膜214をストッパにしたCMP処理を施すことにより、シリコン窒化膜214よりも上方のアモルファスシリコンが除去されて上部ストレージノード211a, 211bが形成され、トレンチ209cにもパッド10cと導通する導電体が形成される。これにより図40に示された構造が得られる。その後、実施の形態1で説明した工程により、キャパシタ18及び層間絶縁膜19を形成し、層間絶縁膜19内にビット線13を敷設する。

【0153】また、トランジスタ93も、実施の形態5において示されたトランジスタ92と同様に、LDD構造、埋め込みチャネルを有する縦型トランジスタに置換しても良い。

【0154】図41及び図42はいずれも図30の領域Tに対応する箇所を拡大して示す断面図である。図41ではトランジスタ93aをLDD構造を有するトランジスタ193aに、図42ではトランジスタ93aを埋め込みチャネルを有する縦型トランジスタ293aに、それぞれ置換した構成を示している。

【0155】図41において、トランジスタ193aはシリコン窒化膜214に近い側から順に、n+型のソース/ドレイン領域34、n-型のソース/ドレイン領域35、p型のチャネル領域36、n-型のソース/ドレイン領域37、n+型のソース/ドレイン領域38が積

30

層されて構成されている。このようにLDD構造を有するトランジスタ193aを採用することにより、トランジスタ93aと比較してnp接合付近の電界が緩和されるので、ホットキャリアの発生が抑制される。よってリフレッシュポーズ時間を長くし、消費電力の抑制、メモリに蓄積された情報の使用効率の向上に資することができる。

【0156】図42において、トランジスタ293aはシリコン窒化膜214に近い側から順に、n+型のソース/ドレイン領域39、n-型のチャネル領域40、n-型のソース/ドレイン領域41が積層されて構成されている。トランジスタ293aはトランジスタ93aと比較してしきい値電圧を小さくできるので、書き込み/読み込みがより高速に行える点で有利である。

【0157】なおトランジスタ193a, 293aの製造方法には、基本的に第1乃至第3の製造方法が採用でき、ドーパントの種類や濃度の設定を制御すれば良い。

【0158】(c-3)実施の形態7. 図14に示された構成において、パッド10a, 10bを縦型トランジスタに置換することもできる。本実施の形態では、そのような置換を行う技術と、絶縁膜701, 702をシリコン窒化膜で形成した場合において、これらをゲート絶縁膜として動作する縦型トランジスタにおける問題を解決する技術とを提供する。後者の技術は、実施の形態5, 6において適用することもできる。

【0159】実施の形態1においても既に述べたが、絶縁膜701, 702にはシリコン窒化膜を採用することが望ましい。図43は、図14に示された構成のうち、ソース/ドレイン領域6a近傍に対応する部分の構成を示す断面図であり、絶縁膜701a, 702aをシリコン窒化膜で形成した場合を示している。絶縁膜8は設けられていないが、絶縁膜701a, 702aをシリコン窒化膜で形成しているので、これと半導体基板1(ソース/ドレイン領域6aを含む)との間の界面準位密度は低い。

【0160】しかし、トレンチ9aを層間絶縁膜112中に異方性エッチングで形成する際、層間絶縁膜112との間の選択比が1に近い場合、絶縁膜701a, 702aの一部が除去される可能性がある。かかる事態が生じれば、その後にトレンチ9aをドーブトシリコンで充填してパッド10aを形成することにより、パッド10aとゲート電極401a, 402aとがショートする問題が生じる(図43ではパッド10aとゲート電極401aとがショートした場合を示している)。

【0161】図44は、図14に示された構成のうち、ソース/ドレイン領域6a近傍に対応する部分の構成を示す断面図であり、絶縁膜701aをシリコン窒化膜で形成した場合を示している。この場合、図44のように絶縁膜8を設けなければ、絶縁膜701aはソース/ドレイン領域6aとの間、パッド10aとの間の界面準位

密度を高め、模式的に示されたトラップ55が存在する。

【0162】界面準位密度が高いと、実施の形態1で既述のようにトランジスタ91aのホットキャリア耐性が低下するのみならず、パッド10aを縦型トランジスタに置換した場合には界面準位を介したトンネル電流の増加や、縦型トランジスタのしきい値電圧の変動に起因するリーク電流の増大のため、リフレッシュポーズ時間が短くなる問題がある。またバーンイン時のリフレッシュ動作による劣化を早める原因ともなる。

【0163】そこで本実施の形態では絶縁膜701, 702にシリコン窒化膜を用いた場合でも、バーンイン時のリフレッシュ劣化が起らず、かつパッド10a, 10bの代わりにトランジスタを設けたメモリセル及びその製造方法を示す。

【0164】図45乃至図49は本実施の形態にかかるメモリセルの製造方法を工程順に示す断面図である。まず実施の形態1において示された工程によって、図4に示された構造を得る。絶縁膜701, 702をシリコン窒化膜で形成するので、図43に示されるような絶縁膜701, 702の損傷は起きない。その後、全面に、例えばTEOSを用いてシリコン酸化膜を形成し、更にその上にシリコン窒化膜を堆積させる。その上にパターンニングされたレジストを形成し、これをマスクとして反応性イオンエッチングを施して、絶縁膜701a, 702aの間、絶縁膜701b, 702bの間、絶縁膜701a, 701bの間にそれぞれトレンチ9a, 9b, 9cを掘り、層間絶縁膜112及び絶縁膜114を残置し、ソース/ドレイン領域5, 6を露出させる。これにより図45に示された構造が得られる。例として、トレンチ9cは図45に示される断面において位置しない場合が示されており、トレンチ9cは破線で示されている。

【0165】次に、トレンチ9a, 9b, 9cの内壁に沿って、一旦シリコン膜を堆積し、その後に窒化酸化を施してシリコン窒化酸化膜58を形成する。一旦形成されるシリコン膜は、アモルファスシリコンでもポリシリコンでも良い。ゲート電極401, 402は既に窒化シリコンを材料とする絶縁膜114により被覆されているのでほとんど酸化されず、トレンチ9a, 9b, 9cの内壁に堆積されたシリコン膜のみ窒化酸化され、図46に示された構造が得られる。

【0166】このときの窒化酸化条件は、NO酸化、NO/O₂酸化、N₂O酸化のいずれでも良い。また、シリコン窒化酸化膜58の代わりにシリコン酸化膜を形成しても良い。このときの酸化条件は、ウェット酸化、ドライ酸化、パイロジェニック酸化、いずれを用いても良い。

【0167】次にトレンチ9a, 9b, 9cの底部のシリコン窒化酸化膜58をソース/ドレイン領域5, 6が露出するまで異方性エッチングで除去する。その後、高

濃度の燐を含むドーフトアモルファスシリコン59をCVD法を用いて堆積し、トレンチ10a, 10b, 10cを充填する。このとき、SiH₄ガスとともに、PH₃ガスの流量を調節して、n+型のソース/ドレイン領域62, 64と、n-型のチャネル領域63とを形成し、縦型トランジスタ95を形成する。シリコン窒化酸化膜58は絶縁膜701, 702と共に、縦型トランジスタ95のゲート絶縁膜の一部として働く。その後、絶縁膜114をストップパにしてCMP処理を施すことにより、絶縁膜114上のドーフトアモルファスシリコン59の上面を平坦化し、図47に示された構造を得る。

【0168】その後、窒素イオン61をドーフトアモルファスシリコン59に注入することがより望ましい(図47)。注入された窒素は、この後の工程での熱処理で熱拡散し、シリコン窒化酸化膜58とドーフトアモルファスシリコン59との界面付近に存在するシリコン原子のダングリングボンド(不飽和結合手)を窒素原子で終端するので、界面準位密度を低減するのにより効果的だからである。

【0169】次に、例えば550℃で熱処理をすることにより、半導体基板1を種結晶としてドーフトアモルファスシリコン59は結晶化し、グレインバウンダリーのほとんどないシリコン結晶が形成される。その後に水素を用いたシンタリング(水素シンター)を行うことが望ましい。水素シンターを行うことにより、シリコン窒化酸化膜58とドーフトアモルファスシリコン59との界面付近に存在するシリコン原子のダングリングボンドを水素原子で終端し、界面準位密度を低減するのにより効果的だからである。

【0170】更に実施の形態4と同様にして、層間絶縁膜212、絶縁膜214、ストレージノード11を形成して図48に示された構造を得る。その後、実施の形態1と同様にしてキャパシタ18と層間絶縁膜19を形成して図49に示されるメモリセルの構造を得ることができ。

【0171】上記の工程においてアモルファスシリコン中の燐が電気的に活性化するようにRTA等の熱処理をすることは当然であるが、その実行時期は、図45から図49で示された工程のいずれにも設定して良い。

【0172】図47に示された構造を得た後、更に燐イオンを注入することにより、ストレージノード11やビット線13とのコンタクト抵抗を下げて良い。また図48に示された構造を得た後、更に燐イオンを注入することにより、ストレージノード11と下部電極15とのコンタクト抵抗を下げて良い。

【0173】また、水素シンターや、窒素イオン61の注入を行わなくても良く、あるいはシリコン窒化酸化膜58の形成を省略し、水素シンターや、窒素イオンの注入を行っても類似の効果が得られる。即ち、水素シンター、窒素イオン61の注入、シリコン窒化酸化膜58

(あるいはシリコン酸化膜)の形成はいずれか少なくとも一つを行えば、トランジスタ95の界面準位を低減する効果がある。

【0174】以上で説明したメモリセル構造はDRAM、および、DRAMが組み込まれたシステムLSIに適用でき、消費電力が少なく、使用効率も高い半導体装置を実現することができる。

【0175】

【発明の効果】この発明のうち請求項1にかかるメモリセルによれば、第2の不純物濃度は第2半導体層における空乏化を阻み、第1の不純物濃度は第1半導体層の抵抗値を増大させる。第1半導体層の抵抗値の増大は、第1半導体層における電圧降下を増大させるので、ゲート電極とソース/ドレイン領域との間の電圧を弱める。従って第2半導体層の電極としての機能を損なうことなく、セルトランジスタのゲート端電界に依存したTAT電流を低減し、キャパシタからのリーク電流を抑制する。これにより、リフレッシュポーズ時間を長くすることができ、消費電力の低減、動作効率の向上を招来することができる。

【0176】この発明のうち請求項2にかかるメモリセルによれば、ストレージノードは層間絶縁膜中を貫通する形状を有しているので、第2の不純物濃度が高い第2半導体層から不純物が拡散しても、第1半導体層の抵抗値が増大して請求項1の効果を阻む、ということが抑制される。

【0177】この発明のうち請求項3にかかるメモリセルによれば、第1半導体層自身からの電荷の漏れ、あるいは当該半導体装置が隣接して一對設けられた場合において隣接する第1半導体層が形成する寄生容量を低減することができる。

【0178】この発明のうち請求項4にかかるメモリセルによれば、空洞は導電体の抵抗値を増大させ、導電体における電圧降下を増大させるので、ゲート電極とソース/ドレイン領域との間の電圧を弱める。従ってセルトランジスタのゲート端電界に依存したTAT電流を低減し、キャパシタからのリーク電流を抑制する。これにより、リフレッシュポーズ時間を長くすることができ、消費電力の低減、動作効率の向上を招来することができる。

【0179】この発明のうち請求項5にかかるメモリセルによれば、第1層間絶縁膜を貫通する第1導電体の厚さ(高さ)を高く設定することができ、以てその抵抗値を高めることができるので、ゲート電極とソース/ドレイン領域との間の電圧を弱める。従ってキャパシタの電極たる第2半導体層の機能を損なうことなく、セルトランジスタのゲート端電界に依存したTAT電流を低減し、キャパシタからのリーク電流を抑制する。これにより、リフレッシュポーズ時間を長くすることができ、消費電力の低減、動作効率の向上を招来することができ

る。

【0180】この発明のうち請求項6にかかるメモリセルによれば、第2トランジスタがセルトランジスタたる第1トランジスタのソース/ドレイン領域とキャパシタとの間に介在するので、第1トランジスタがオフする際に第2トランジスタもオフすることにより、リーク電流を抑制することができる。

【0181】この発明のうち請求項7にかかるメモリセルによれば、第1トランジスタと第2トランジスタの導電型が同一であり、ゲート電極も共用されるので、セルトランジスタたる第1トランジスタがオフする際に第2トランジスタもオフすることにより、リーク電流を抑制することができる。

【0182】この発明のうち請求項8にかかるメモリセルによれば、セルトランジスタたる第1トランジスタと別個に第2トランジスタを制御することにより、制御自由度を高くしてリーク電流を抑制することができる。

【0183】この発明のうち請求項9にかかるメモリセルの制御方法によれば、第2トランジスタの導通により、第2トランジスタと第1トランジスタとの間に存在する抵抗成分による信号遅延時間を、第1トランジスタが導通する前から開始させるので、読み出し、書き込み動作を迅速に行うことができる。

【0184】この発明のうち請求項10にかかるメモリセルによれば、窒素及び水素の少なくともいずれか一方が導入されているので、第2絶縁膜と半導体層との間の界面付近に存在する半導体原子のダングリングボンドが終端され、界面準位密度を低減することができる。

【0185】この発明のうち請求項11にかかるメモリセルによれば、第2トランジスタと第2絶縁膜との間の界面準位を低減し、リーク電流を抑制することができる。

【0186】この発明のうち請求項12にかかるメモリセルの製造方法によれば、酸化半導体膜がトレンチと埋め込み体との間に介在するので、界面準位密度が抑制され、リーク電流が軽減される。

【0187】この発明のうち請求項13にかかるメモリセルの製造方法によれば、一のソース/ドレイン領域を露出させつつトレンチの内壁を覆う酸化半導体膜を形成することができる。

【0188】この発明のうち請求項14にかかるメモリセルの製造方法によれば、セルトランジスタと別個に縦型トランジスタを形成することにより、制御自由度を高くしてリーク電流を抑制することができる。

【0189】この発明のうち請求項15にかかるメモリセルの製造方法によれば、窒素及び水素の少なくともいずれか一方が導入されているので、酸化半導体膜と半導体材料との間の界面付近に存在する半導体原子のダングリングボンドが終端され、界面準位密度を低減することができる。

35

【0190】この発明のうち請求項16乃至19にかかるメモリセルの製造方法によれば、請求項7記載のメモリセルを製造することができる。

【図面の簡単な説明】

【図1】 本発明にかかる基本的な考え方を示す回路図である。

【図2】 本発明の実施の形態1についてのシミュレーション結果を示すグラフである。

【図3】 本発明の実施の形態1にかかるメモリセルの製造方法を工程順に示す断面図である。

【図4】 本発明の実施の形態1にかかるメモリセルの製造方法を工程順に示す断面図である。

【図5】 本発明の実施の形態1にかかるメモリセルの製造方法を工程順に示す断面図である。

【図6】 本発明の実施の形態1にかかるメモリセルの製造方法を工程順に示す断面図である。

【図7】 本発明の実施の形態1にかかるメモリセルの製造方法を工程順に示す断面図である。

【図8】 本発明の実施の形態1にかかるメモリセルの製造方法を工程順に示す断面図である。

【図9】 本発明の実施の形態2にかかるメモリセルの構造を示す断面図である。

【図10】 本発明の実施の形態3にかかるメモリセルの構造を示す断面図である。

【図11】 本発明の実施の形態4にかかるメモリセルの構造を示す断面図である。

【図12】 本発明の実施の形態4にかかるメモリセルの製造方法を工程順に示す断面図である。

【図13】 本発明の実施の形態4にかかるメモリセルの製造方法を工程順に示す断面図である。

【図14】 本発明の実施の形態4にかかるメモリセルの変形を示す断面図である。

【図15】 本発明の実施の形態4にかかるメモリセルの変形の製造方法を工程順に示す断面図である。

【図16】 本発明の実施の形態4にかかるメモリセルの変形の製造方法を工程順に示す断面図である。

【図17】 本発明の実施の形態4にかかるメモリセルの変形の製造方法を工程順に示す断面図である。

【図18】 本発明の実施の形態5にかかるメモリセルの変形を示す断面図である。

【図19】 本発明の実施の形態5にかかるメモリセルの変形を示す断面図である。

【図20】 本発明の実施の形態5にかかるメモリセルの等価回路を示す回路図である。

【図21】 本発明の実施の形態5にかかるメモリセルの第1の製造方法を示す断面図である。

【図22】 本発明の実施の形態5にかかるメモリセルの第2の製造方法を示す断面図である。

【図23】 本発明の実施の形態5にかかるメモリセルの第3の製造方法を示す断面図である。

36

【図24】 本発明の実施の形態5にかかるメモリセルの第4の製造方法を工程順に示す断面図である。

【図25】 本発明の実施の形態5にかかるメモリセルの第4の製造方法を工程順に示す断面図である。

【図26】 本発明の実施の形態5にかかるメモリセルの第4の製造方法を工程順に示す断面図である。

【図27】 本発明の実施の形態5にかかるメモリセルの第4の製造方法を工程順に示す断面図である。

10 【図28】 本発明の実施の形態5にかかるメモリセルの変形を示す断面図である。

【図29】 本発明の実施の形態5にかかるメモリセルの変形を示す断面図である。

【図30】 本発明の実施の形態6にかかるメモリセルの構造を示す断面図である。

【図31】 本発明の実施の形態6にかかるメモリセルの等価回路を示す回路図である。

【図32】 本発明の実施の形態6にかかるメモリセルの動作を説明するための回路図である。

20 【図33】 本発明の実施の形態6にかかるメモリセルの動作を示すタイミングチャートである。

【図34】 本発明の実施の形態6にかかるメモリセルの動作を示すタイミングチャートである。

【図35】 本発明の実施の形態6にかかるメモリセルの動作を示すタイミングチャートである。

【図36】 本発明の実施の形態6にかかるメモリセルの動作を示すタイミングチャートである。

【図37】 本発明の実施の形態6にかかるメモリセルの製造方法を工程順に示す断面図である。

30 【図38】 本発明の実施の形態6にかかるメモリセルの製造方法を工程順に示す断面図である。

【図39】 本発明の実施の形態6にかかるメモリセルの製造方法を工程順に示す断面図である。

【図40】 本発明の実施の形態6にかかるメモリセルの製造方法を工程順に示す断面図である。

【図41】 本発明の実施の形態6にかかるメモリセルの変形を示す断面図である。

【図42】 本発明の実施の形態6にかかるメモリセルの変形を示す断面図である。

40 【図43】 本発明の実施の形態7の背景を示す断面図である。

【図44】 本発明の実施の形態7にかかるメモリセルの製造方法を工程順に示す断面図である。

【図45】 本発明の実施の形態7にかかるメモリセルの製造方法を工程順に示す断面図である。

【図46】 本発明の実施の形態7にかかるメモリセルの製造方法を工程順に示す断面図である。

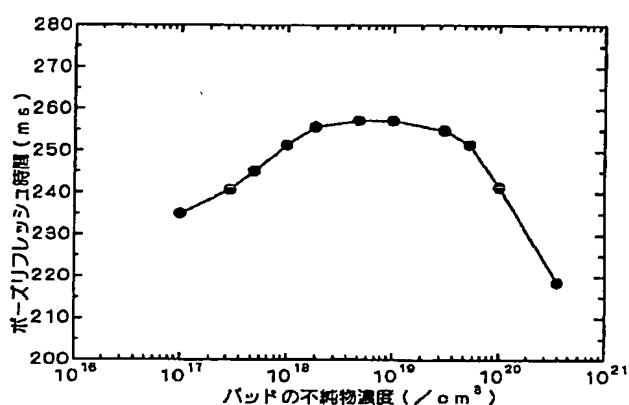
【図47】 本発明の実施の形態7にかかるメモリセルの製造方法を工程順に示す断面図である。

50 【図48】 本発明の実施の形態7にかかるメモリセルの製造方法を工程順に示す断面図である。

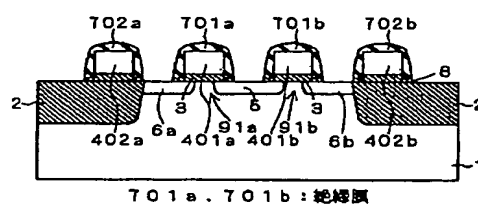
38

*空洞、24, 26 n型ソース／ドレイン領域、25, 36 p型チャネル領域、30 硼素イオン、33 レジスト、34, 38, 39, 41, 62, 64 n+型ソース／ドレイン領域、35, 37 n-型ソース／ドレイン領域、40, 63 n-型チャネル領域、58 シリコン窒化酸化膜、59 ドープトアモルファスシリコン、91a, 91b トランジスタ、92a, 92b, 93a, 93b, 95a, 95b, 192a, 292a 縦型トランジスタ、401a, 401b, 403a, 403b ゲート電極、701a, 701b, 703a, 703b 絶縁膜。

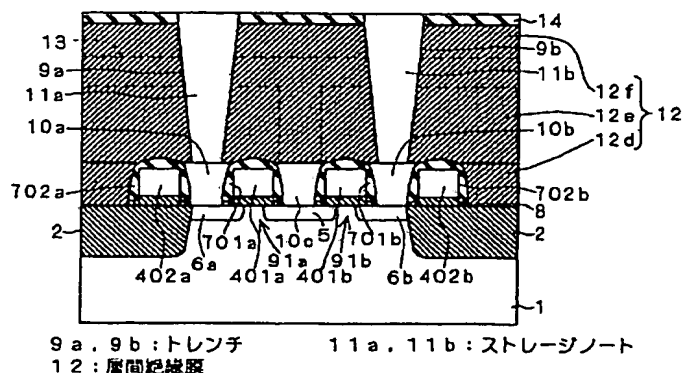
【图 2】



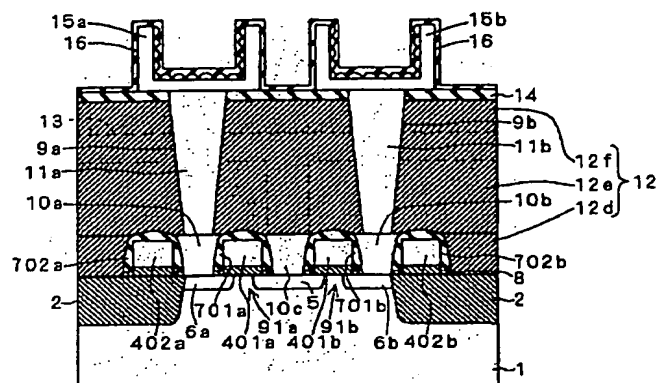
【図 4】



【図 6】

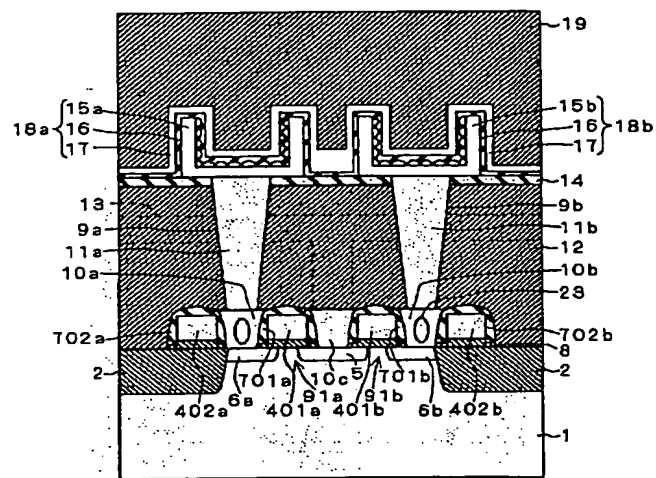


【圖 8】



16: キャバシタ誘電体膜

【圖 10】

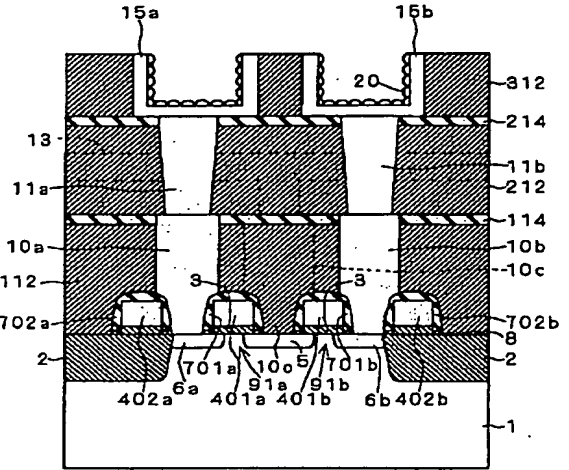


23: 空洞

【图 19】

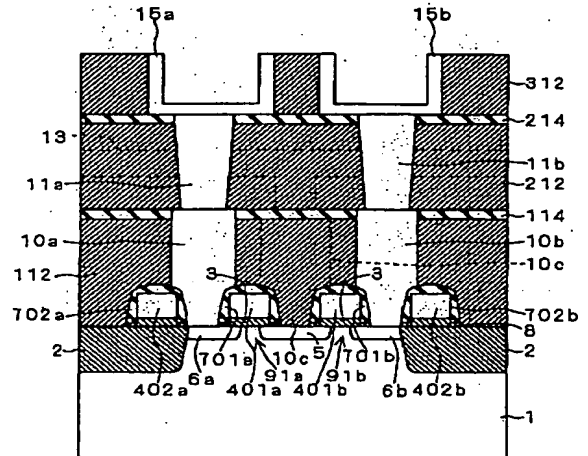
24, 26: n型ソース/ドレイン領域
25: p型チャネル領域

【图 13】

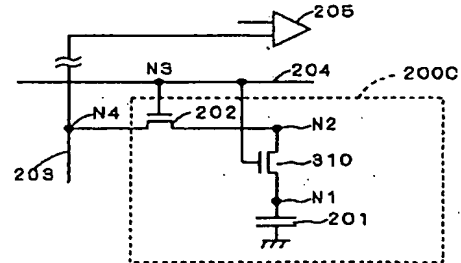


【図 15】

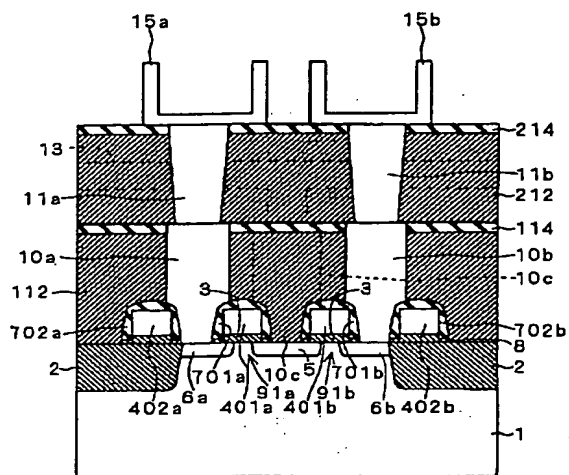
【図 15】



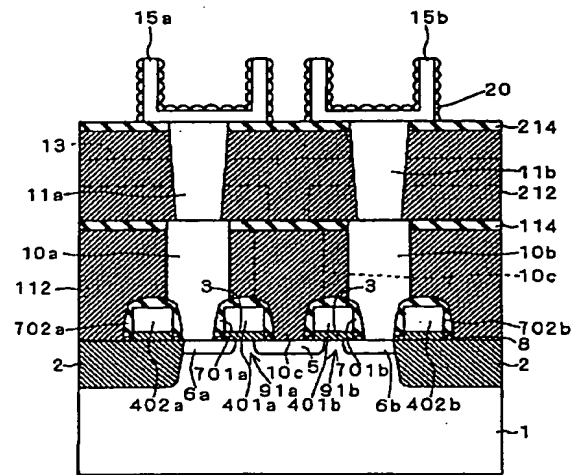
【図 20】



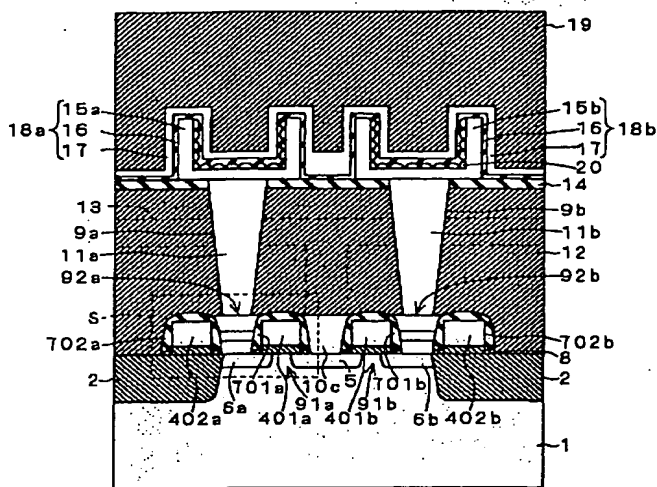
【図 16】



【図 17】

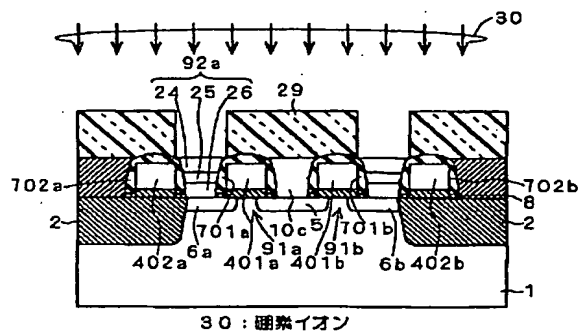


【図 18】



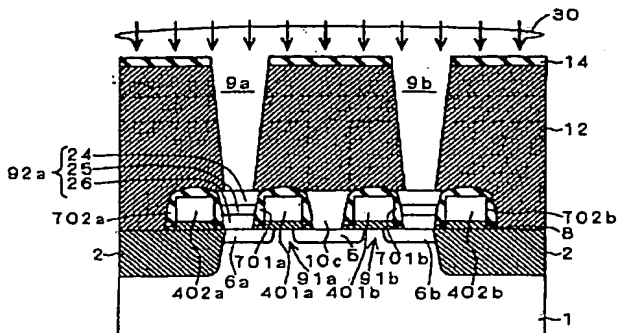
92a, 92b: 縦型トランジスタ

【図 21】

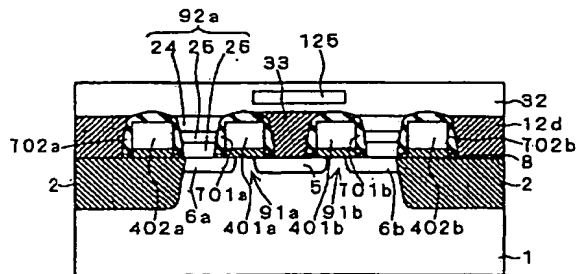


30: 酸素イオン

【図 23】

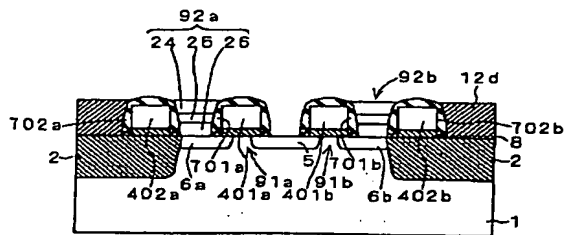


【図 24】

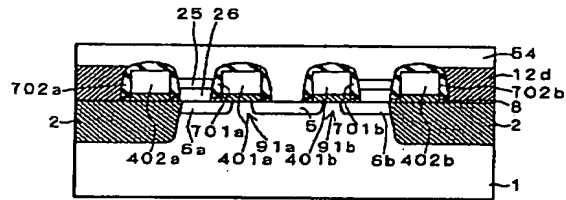


33: シリコン酸化膜

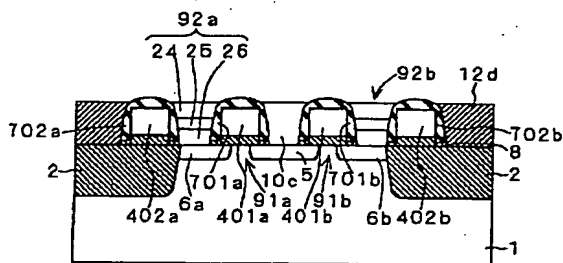
【図25】



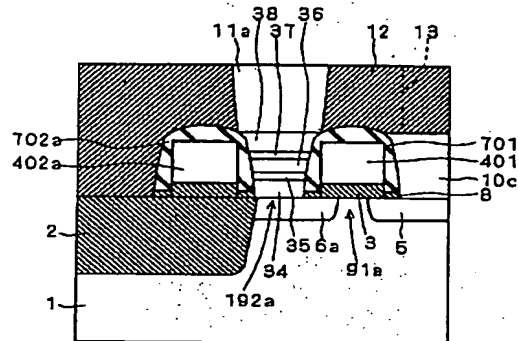
【図26】



【図27】

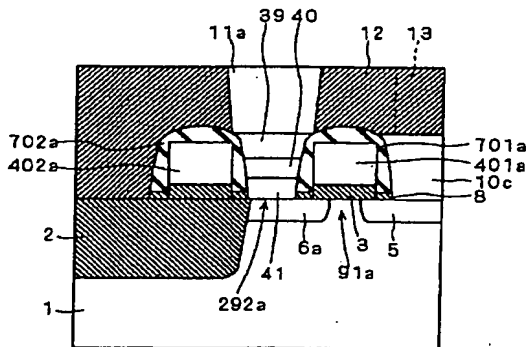


【図28】



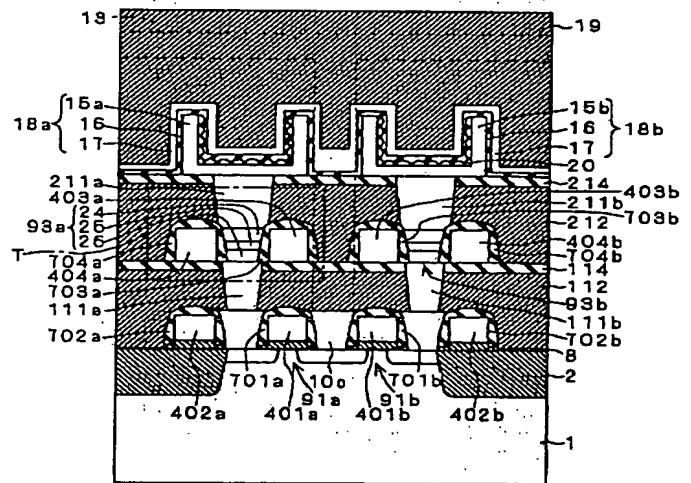
34, 38: n^+ 型ソース/ドレイン領域 36: p型チャネル領域
35, 37: n^- 型ソース/ドレイン領域 192a: 縦型トランジスタ

【図29】



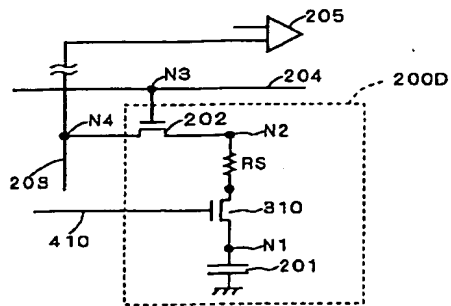
39, 41: n^+ 型ソース/ドレイン領域 292a: 縦型トランジスタ
40: n^- 型チャネル領域

【図30】

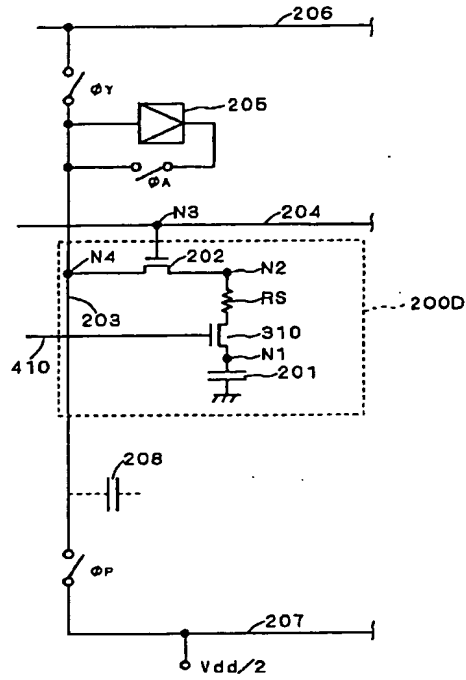


93a, 93b: 縦型トランジスタ
403a, 403b: ゲート電極
703a, 703b: 絶縁膜

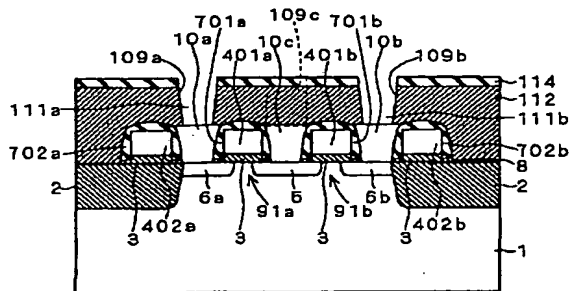
【図 31】



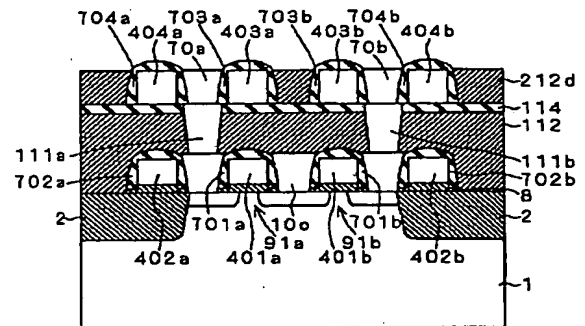
【図 32】



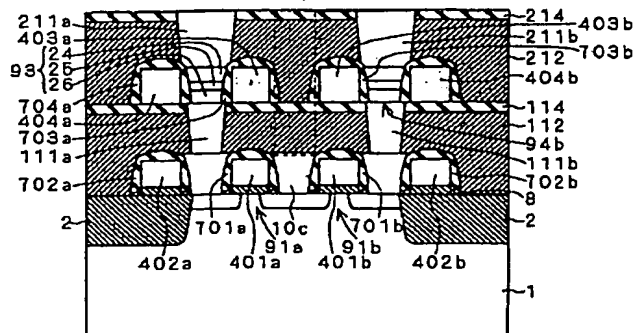
【図 37】



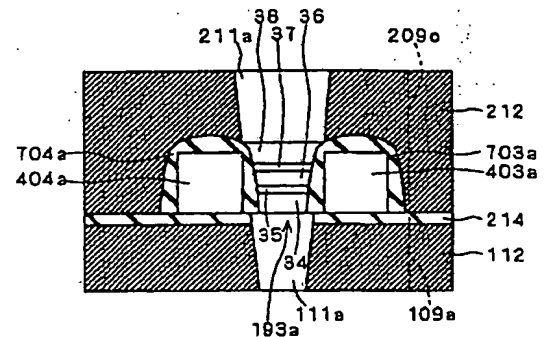
【図 38】



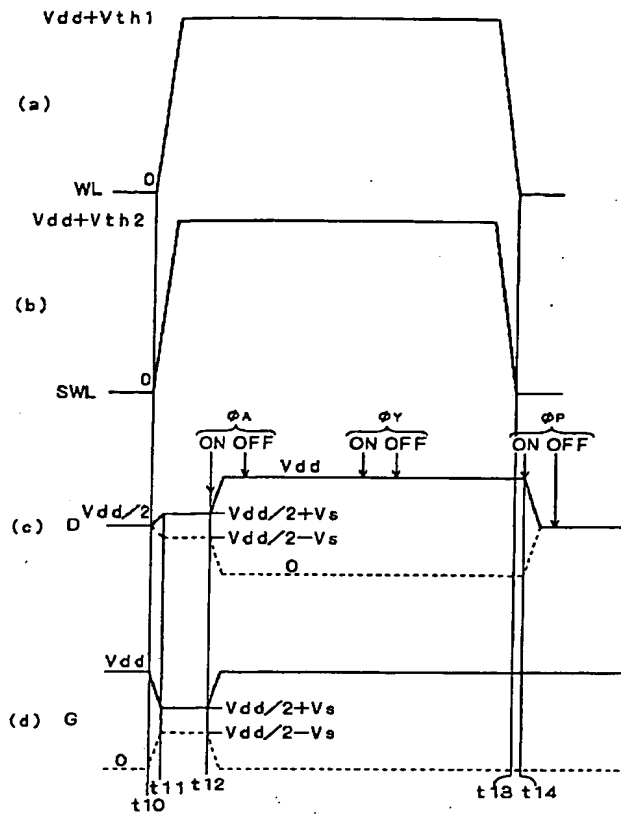
【図 40】



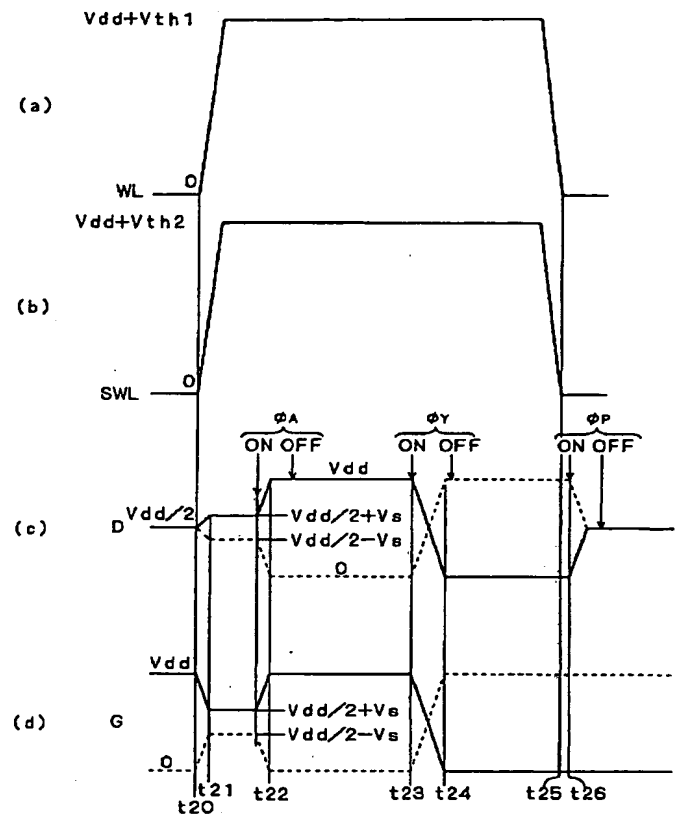
【図 41】



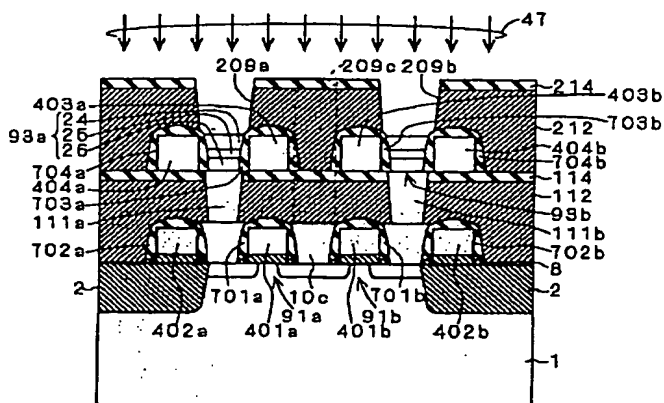
【圖 3 3】



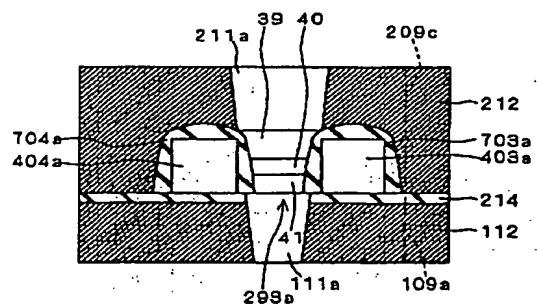
【图 3 4】



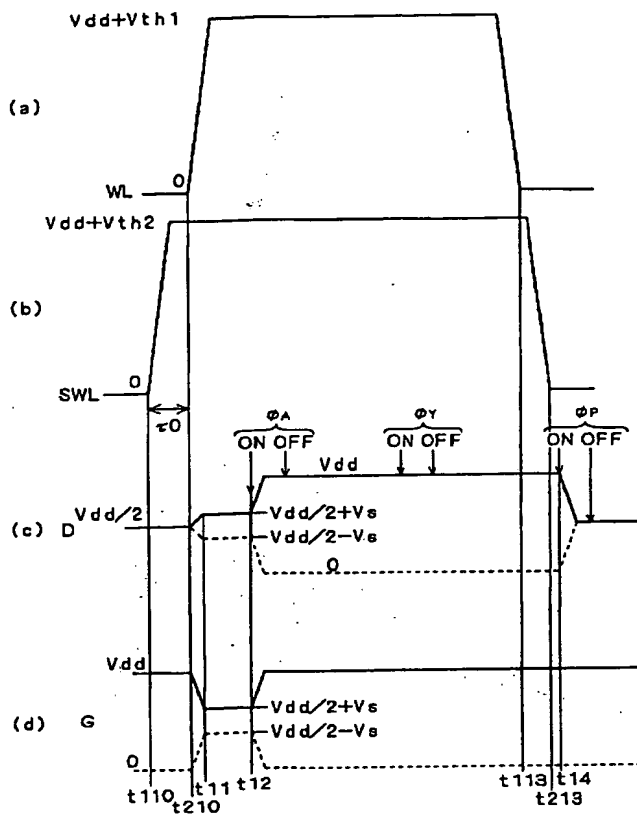
【图 3 9】



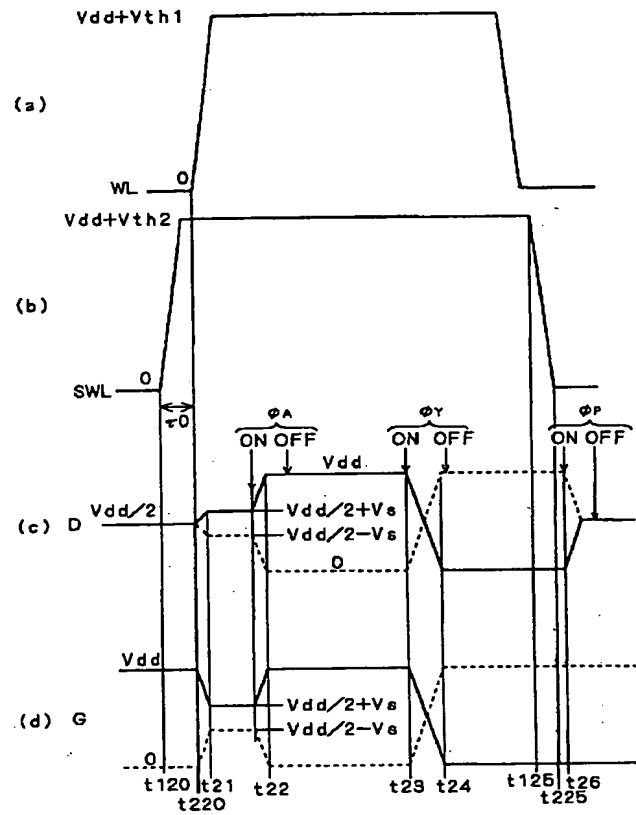
【图 4 2】



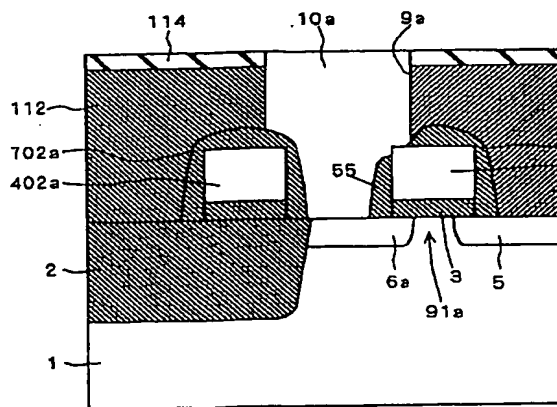
【図35】



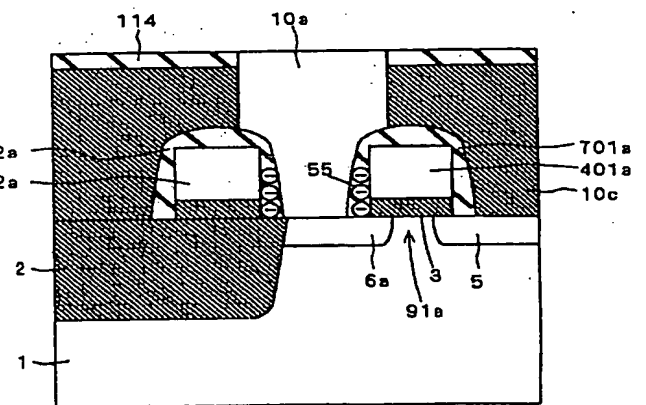
【図36】



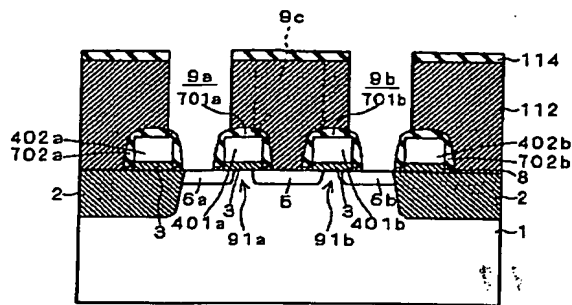
【図43】



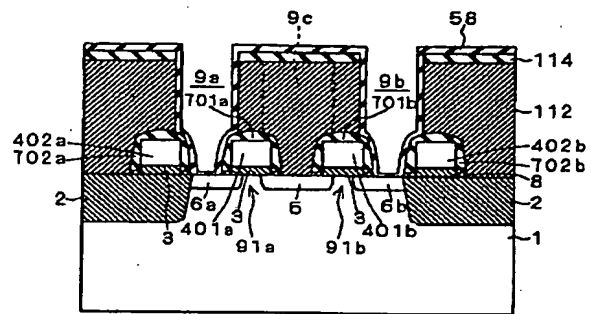
【図44】



【図45】

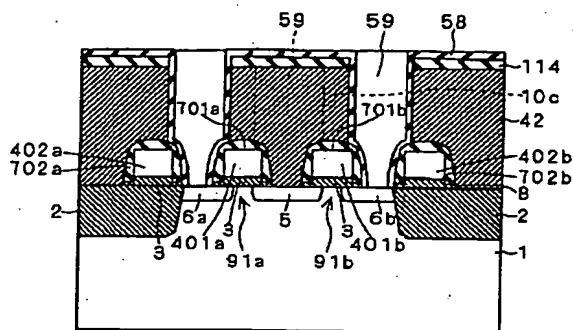


【図46】

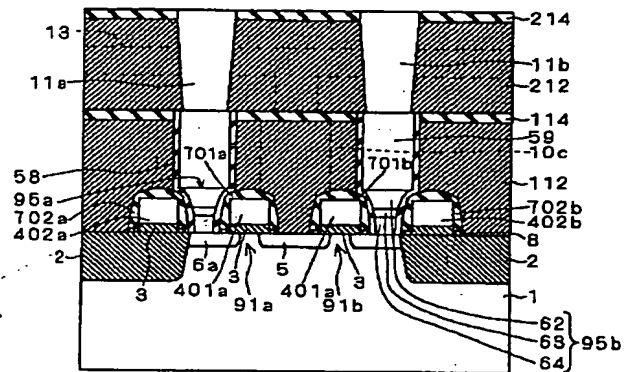


58: シリコン窒化酸化膜

【図47】

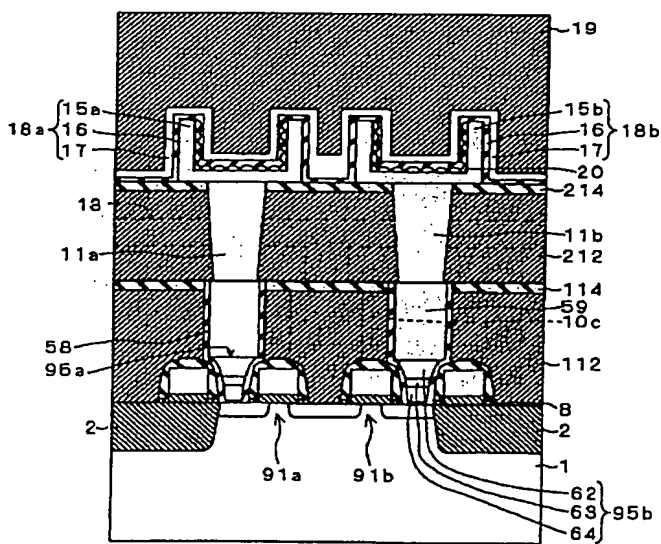


【図48】

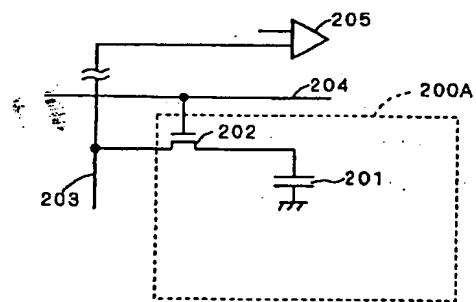


69: ドープアモルファスシリコン
 62, 64: n^+ 型ソース/ドレイン領域
 63: n^- 型チャネル領域
 95a, 95b: 縦型トランジスタ

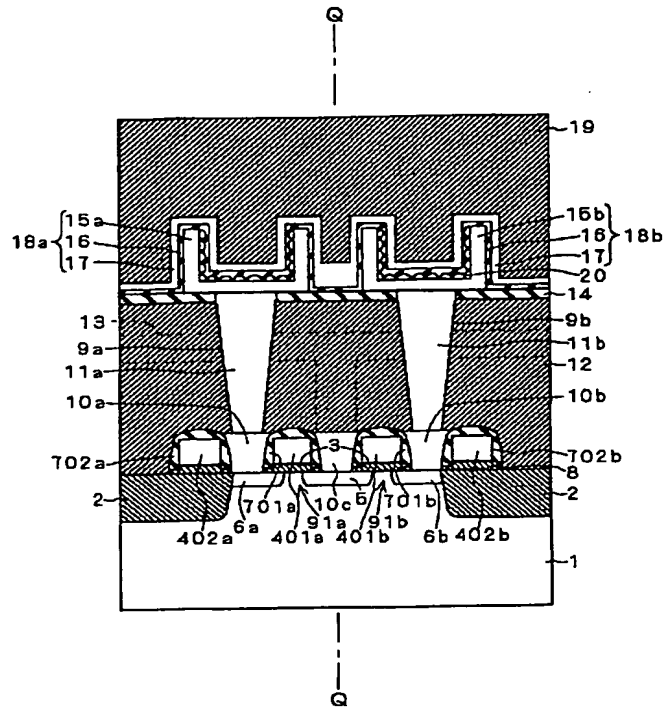
【図49】



【図50】



【図51】



フロントページの続き

Fターム(参考) 5F038 AC05 AC09 AC15 AC16 CD18
 DF05
 5F083 AD01 AD03 AD10 AD24 AD48
 AD62 AD69 GA03 GA05 JA02
 JA03 JA05 JA06 JA14 JA19
 JA32 JA33 JA35 JA37 JA39
 JA40 JA53 JA56 MA06 MA17
 NA01 PR03 PR06 PR15 PR18
 PR21 PR25 PR29 PR33 PR34
 PR36 PR40